

⑫ 公開特許公報(A)

平3-263693

⑤ Int. Cl.⁹

識別記号

庁内整理番号

④ 公開 平成3年(1991)11月25日

G 11 C 16/06

8522-5L G 11 C 17/00 3 0 9 F

審査請求 未請求 請求項の数 44 (全76頁)

⑥ 発明の名称 半導体メモリ装置

② 特 願 平2-145640

② 出 願 平2(1990)6月4日

優先権主張 ② 平1(1989)6月12日 ③ 日本(JP) ⑩ 特願 平1-148677

⑦ 発 明 者 岩 橋 弘 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑦ 発 明 者 中 井 弘 人 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑦ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑦ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑦ 代 理 人 弁理士 佐藤 一雄 外3名

最終頁に続く

明細書の浄書(内容に変更なし)
明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

1. 少なくとも二進のデータを記憶するメモリセルと、

前記二進のデータの一方と等価な記憶状態にある第1のダミーセルと、

前記二進のデータの他方と等価な記憶状態にある第2のダミーセルと、

前記メモリセルと前記第1のダミーセルのそれぞれに記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、

前記メモリセルと前記第2のダミーセルのそれぞれに記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた半導体メモリ装置。

2. 請求項1に記載の半導体メモリ装置において、

前記メモリセルが浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するものであることを特徴とする半導体メモリ装置。

3. 請求項1に記載の半導体メモリ装置において、

前記メモリセルに記憶されたデータを読み出すときに前記メモリセルの記憶状態に応じた電圧を出力するビット線と、

前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、

前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、をさらに備え、

前記第1のセンスアンプ部は前記ビット線と前記第1のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第1の出力を発生し、

前記第2のセンスアンプ部は前記ビット線と前記第2のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第2の出力を発生し、

前記第3のセンスアンプ部は前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出するものであることを特徴とする半導体メモリ装置。

4. 請求項3に記載の半導体メモリ装置において、前記メモリセルが浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するものであることを特徴とする半導体メモリ装置。

5. 請求項4に記載の半導体メモリ装置において、

体メモリ装置。

8. 請求項4に記載の半導体メモリ装置において、

前記メモリセルの浮遊ゲートに電子が注入されている場合には、前記ビット線の電位が、前記第1のダミービット線及び前記第2のダミービット線の電位のいずれよりも高くなるように、前記ビット線と前記第1及び第2のダミービット線のそれぞれにリーク電流路を形成するビット線電流リーク手段をさらに備えたことを特徴とする半導体メモリ装置。

9. 請求項3に記載の半導体メモリ装置において、

前記メモリセルを選択するアドレス信号が変化すると、この変化に対応して所定の期間導通状態となり、それぞれ前記ビット線、第1のダミービット線、第2のダミービット線と電源間に接続され、前記ビット線、第1のダミービット線、第2のダミービット線を所定の電位まで充電するプリチャージ手段を備えたことを特徴とする半導体

前記第1および第2のダミーセルとメモリセルとが電気的に等価な接続をされており、前記第1のダミーセルの閾値が電子の注入されたメモリセルの閾値とほぼ同じ高い値となっていることを特徴とする半導体メモリセル。

6. 請求項3に記載の半導体メモリ装置において、

前記第1のダミービット線に微小電流を流してそれが浮遊状態になることを防止するダミービット線リーク手段をさらに備えたことを特徴とする半導体メモリ装置。

7. 請求項4に記載の半導体メモリ装置において、

前記メモリセルの浮遊ゲートに電子が注入されていない場合には、前記ビット線の電位が、前記第1のダミービット線及び前記第2のダミービット線の電位のいずれよりも低くなるように、前記ビット線と前記第1及び第2のダミービット線のそれぞれにリーク電流路を形成するビット線電流リーク手段をさらに備えたことを特徴とする半導

メモリ装置。

10. 請求項9に記載の半導体メモリ装置において、

前記ビット線、第1のダミービット線、第2のダミービット線のプリチャージ手段は、それぞれ直列に接続された前記アドレス信号の変化に対応して所定の期間導通状態となるドレインが接続されたデプレッショントランジスタと、前記ビット線、第1ダミービット線、第2ダミービット線のプリチャージ電圧を電源電圧以下に設定するPチャンネルトランジスタとを備えたことを特徴とする半導体メモリ装置。

11. 請求項3に記載の半導体メモリ装置において、

前記メモリセルを選択するアドレス信号が変化すると、この変化に対応して所定の期間、前記ビット線と前記第1のダミービット線間と前記第2のダミービット線間の電位をイコライズするイコライズ手段をさらに備えたことを特徴とする半導体メモリ装置。

12. 浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶する第1、第2のメモリセルと、

前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセル線と前記浮遊ゲートに電子が注入していない前記メモリセルと等価な記憶状態にある第2のダミーセル線と、

前記第1のメモリセルに記憶されたデータを読み出すときに、前記第1のメモリセルの記憶状態に応じた電圧を出力する第1のビット線と、

前記第2のメモリセルに記憶されたデータを読み出すときに、前記第2のメモリセルの記憶状態に応じた電圧を出力する第2のビット線と、

前記第1のダミーセル線の記憶状態に応じた電圧を出力する第1のダミービット線と、

前記第2のダミービット線の記憶状態に応じた電圧を出力する第2のダミービット線と、前記第1のビット線と前記第1ダミービット線との電圧を比較することによって、前記第1のメモリセル

の記憶状態に応じた第1の出力を発生する第1のセンスアンプ部と、

前記第1のビット線と前記第2ダミービット線との電圧を比較することによって、前記第1のメモリセルの記憶状態に応じた第2の出力を発生する第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって、前記第1のメモリセルの記憶状態を検出する第3のセンスアンプと、

前記第2のビット線と、前記第1ダミービット線との電圧を比較することによって、前記第2のメモリセルの記憶状態に応じた第4の出力を発生する第4のセンスアンプ部と、

前記第2のビット線と、前記第2のダミービット線との電圧を比較することによって、前記第2のメモリセルの記憶状態に応じた第5の出力を発生する第5のセンスアンプ部と、

前記第4の出力と前記第5の出力とを比較することによって、前記第2のメモリセルの記憶状態を検出する第6のセンスアンプ部とを備えた半導

体メモリ装置。

13. 請求項12に記載の半導体メモリ装置において、

前記メモリセルを選択するアドレス信号が変化すると、この変化に対応して所定の期間、前記第1のビット線と前記第2のビット線と前記第1のダミービット線と、前記第2のダミービット線間の電位をイコライズするイコライズ手段を備えたことを特徴とする半導体メモリ装置。

14. 請求項13に記載の半導体メモリ装置において、

前記イコライズ手段は、前記第1のビット線と前記第1のダミービット線間に接続された第1のイコライズトランジスタと、前記第2のビット線と前記第1のダミービット線間に接続された第2のイコライズトランジスタと前記第1のダミービット線と第2のビット線間に接続された第3のイコライズトランジスタとを備えたことを特徴とする半導体メモリ装置。

15. 請求項11に記載の半導体メモリ装置

において、

“0”データ検知時にはビット線の電位が第1のダミービット線の電位以上となり、“1”データ検知時にはビット線の電位が第2のダミービット線の電位以下となるように前記ビット線、第1ダミービット線、第2のダミービット線間に、前記アドレス信号の変化に対応して所定の期間導通状態となるイコライズトランジスタを配置したことを特徴とする半導体メモリ装置。

16. 請求項11に記載の半導体メモリにおいて、

前記イコライズ手段は、前記ビット線と前記第1のダミービット線間に接続された第1のイコライズトランジスタと、前記第1のダミービット線と前記第2のダミービット線間に接続された第2のイコライズトランジスタとを備えたことを特徴とする半導体メモリ装置。

17. 請求項11に記載の半導体メモリにおいて、

前記イコライズ手段は、前記ビット線と前記第

2のダミービット線間に接続された第1のイコライズトランジスタと、前記第1のダミービット線と前記第2のダミービット線間に接続された第2のイコライズトランジスタとを備えたことを特徴とする半導体メモリ装置。

18. 請求項16に記載の半導体メモリ装置において、

前記イコライズ手段は、前記ビット線と前記第2のダミービット線間に接続された第3のイコライズトランジスタをさらに備えたことを特徴とする半導体メモリ装置。

19. 請求項10に記載の半導体メモリ装置において、

前記プリチャージ手段のうち、ビット線に接続されたプリチャージ手段の導通抵抗はダミービット線に接続されたプリチャージ手段の導通抵抗よりも小さく設定されたことを特徴とする半導体メモリ装置。

20. 請求項1に記載の半導体メモリ装置において、

において、

バイアストランジスタのゲート電極には定電圧が供給されていることを特徴とする半導体メモリ装置。

24. 請求項22に記載の半導体メモリ装置において、

前記メモリセルバイアストランジスタのゲート電極には前記メモリセルのドレインの電位を反転増幅する第1のインバータの出力が接続され、

前記第1のダミーセル線のバイアストランジスタのゲート電極には前記第1のダミーセル線のドレインの電位を反転増幅する第2のインバータが接続され、前記第2のダミーセルのバイアストランジスタのゲート電極には前記第2のダミーセルのドレインの電位を反転増幅する第3のインバータの出力が接続されていることを特徴とする半導体メモリ装置。

25. 請求項24に記載の半導体メモリ装置において、

前記インバータは閾電圧値がほぼ0のnチャネ

ル前記第3のセンスアンプ部の出力端と電源電圧端子との間に、プルアップトランジスタを備えたことを特徴とする半導体メモリ装置。

21. 請求項1に記載の半導体メモリ装置において、

前記第1のダミーセルの閾値電圧は、前記浮遊ゲートに電子が注入されている前記メモリセルの閾値電圧より低い値に設定されていることを特徴とする半導体メモリ装置。

22. 請求項3に記載の半導体メモリ装置において、前記ビット線、第1のダミービット線、第2のダミービット線と電源間にそれぞれ設けられた負荷手段と

前記メモリセル、第1のダミーセル、第2のダミーセルのドレインと前記負荷手段の間にそれぞれ設けられ、メモリセル、第1のダミーセル、第2のダミーセルのドレイン電圧所定レベル以下に設定するバイアストランジスタが設けられたことを特徴とする半導体メモリ装置。

23. 請求項22に記載の半導体メモリ装置

ルトランジスタとpチャネルトランジスタを直列接続した相補構成を有することを特徴とする半導体メモリ装置。

26. 請求項24に記載の半導体メモリ装置において、

前記インバータはnチャネルトランジスタとpチャネルトランジスタを直列接続した相補構成を有し、pチャネルトランジスタと電源間に定電流源が接続されたことを特徴とする半導体メモリ装置。

27. 請求項26に記載の半導体メモリ装置において、

前記定電流源はソースとゲートとを接続したデプレッション型トランジスタであることを特徴とする半導体メモリ装置。

28. 請求項26に記載の半導体メモリ装置において、

前記定電流源はゲートを接地したデプレッション型トランジスタであることを特徴とする半導体メモリ装置。

29. 請求項26に記載の半導体メモリ装置において、

前記定電流源は電源電圧を複数の直列接続トランジスタで分圧した電圧をゲート入力とする、前記補形インパクタと電源間に接続されたトランジスタであることを特徴とする半導体メモリ装置。

30. 請求項24に記載の半導体メモリ装置において、

前記メモリセルのドレイン電圧の変化を反転増幅して前記第1のインパクタより低いフィードバック信号を出力する第4のインパクタと前記ビット線と電源間に接続されゲート電極に前記第4のインパクタの出力が供給されるトランジスタとを備えたことを特徴とする半導体メモリ装置。

31. 請求項24に記載の半導体メモリ装置において、

前記メモリセル、第1のダミービット線、第2のダミービット線のドレインとそれぞれのバイアストランジスタ間に電源電圧をゲート入力とするデプレッション型トランジスタを接続したことを

メモリセルと等価な記憶状態にある第2のダミーセルと、

前記メモリセルに記憶されたデータを読み出すときに、前記メモリセルの記憶状態に応じた電圧を出力するビット線と、

前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、

前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、

前記ビット線と前記第1のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第1の出力をする第1のセンスアンプ部と、

前記ビット線と前記第2のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、

特徴とする半導体メモリ装置。

32. 請求項25に記載の半導体メモリ装置において、

前記メモリセルのドレインと前記メモリセルのバイアストランジスタ間に書き込み時に低い論理レベルとなる書き込み制御信号をゲート入力とするデプレッション型トランジスタを接続したことを特徴とする半導体メモリ装置。

33. 請求の範囲4に記載の半導体メモリ装置において、前記浮遊ゲートに電子が注入された前記メモリセルと等価な状態にあるダミーセルの個数を増加させて必要なダミービット線の回路容量を得るようにしたことを特徴とする半導体メモリ装置。

34. 浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するメモリセルと、

前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、
前記浮遊ゲートに電子が注入されていない前記

前記メモリセルへデータを書き込んだ後に行うプログラムベリファイデークリード時に前記第2のダミービット線が出力する電圧を、通常デークリード時にメモリセルのデータを読み出す際の前記第2のダミービット線が出力する電圧よりも高く設定する手段と、

前記プログラムベリファイ時に、前記第2のダミービット線が出力する電圧と、前記ビット線が出力する電圧とを比較することによって、前記メモリセルの記憶状態を検出する第4のセンスアンプ部と、

前記データを読み出す時は前記第3のセンスアンプ部の検出結果を出力し、前記プログラムベリファイデークリード時は前記第4のセンスアンプ部の検出結果を出力する出力切換手段とを備えたことを特徴とする半導体メモリ装置。

35. 浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するメモリセルと、

前記浮遊ゲートに電子が注入された前記メモリ

セルと等価な記憶状態にある第1のダミーセルと、

前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶状態にある、第2のダミーセルと、

前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、

前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備え、前記浮遊ゲートに電子が注入されていないメモリセルに流れる電流より、前記第2のダミービット線に流れる電流が少ないことを特徴とする半導体メモリ装置。

36. 浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶

するメモリセルと、

前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、

前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶状態にある第2のダミーセルと、

前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧とを比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、

前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、

電源電圧に対応し、前記電源電圧よりも所定値だけ低い電圧を出力する電圧低下回路と、

ドレインが前記第1のダミーセルのドレインに

接続され、ゲートが前記電圧低下回路の出力に接続される前記浮遊ゲートに電子が注入されない前記メモリセルと等価な状態にある第3のダミーセルとを具備したことを特徴とする不揮発性半導体メモリ。

37. バイナリデータの“0”あるいは“1”をガラスマスクにパターン化することにより製造段階でバイナリデータを記憶するメモリセルと、

前記バイナリデータの“1”が記憶された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記バイナリデータの“1”が記憶された前記メモリセルと等価な記憶状態にある第2のダミーセルと、前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較する

ことによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた半導体メモリ装置。

38. 請求項37に記載の半導体メモリ装置において、

前記メモリセルに記憶されたデータを読み出すときに前記メモリセルの記憶状態に応じた電圧を出力するビット線と、

前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、

前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線とをさらに備え、

前記第1のセンスアンプ部は前記ビット線と前記第1のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第1の出力を発生し、前記第2のセンスアンプ部は前記ビット線と前記第2のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第2の出力を発生し、前記第3のセンスアンプ部は前記第1の出力と前記第2の出力と

を比較することによって前記メモリセルの記憶状態を検出することを特徴とする半導体メモリ装置。

39. バイナリデータの“0”あるいは“1”をMOSトランジスタがデプレッション型かエンハンスメント型かでデータを記憶する不揮性メモリセルと、

n個の前記メモリセルとナンド選択トランジスタを直接に接続してなるナンド束トランジスタ列と、

前記ナンド束トランジスタ列が複数組接続され、前記メモリセルに記憶されたデータを読み出すときに前記メモリセルの記憶状態に応じた電圧を出力するビット線と、

前記ナンド束トランジスタ列と同様の構成を有し、前記デプレッション型メモリセルと等価な1個の第1ダミーセルと前記エンハンスメント型メモリセルと等価な(n-1)個の第1のダミーセルとナンド選択トランジスタとを直列に接続してなる第1のダミーナンド束トランジスタ列と、

前記第1のダミーセルナンド束トランジスタ列

前記第1の出力と前記第2の出力を比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた不揮性半導体メモリ装置。

40. 請求項39に記載の不揮性半導体メモリ装置において、

異なる行線にゲートが接続された前記デプレッション型の第1のダミーセルをおのおの1個有するn種類の第1のダミーナンド束トランジスタと、

同じ種類の第1のダミーナンド束トランジスタ列が複数組接続されたn本のダミービット線群と、

前記第1のダミービット線に、前記行線選択信号に対応して選択された前記デプレッション型の第1のダミーセルの記憶状態に応じた電圧を出力するため、

前記n本のダミービット線群から、行線選択信号に対応して1本のダミービット線を選択する選択手段とをさらに備えたことを特徴とする不揮性

半導体メモリ装置。

が複数個接続され、前記デプレッション型の第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、

前記ナンド束トランジスタ列と同様の構成を有し、前記エンハンスメント型メモリセルと等価なn個の第2のダミーセルとナンド選択トランジスタとを直列に接続してなる第2のダミーナンド束トランジスタ列と、

前記ダミーナンド束トランジスタ列が複数組接続され、エンハンスメント型第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、

前記ビット線と前記第1のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第1の出力を発生する第1のセンスアンプ部と、

前記ビット線と前記第2のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第2の出力を発生する第2のセンスアンプ部と、

性半導体メモリ装置。

41. ビット線と、

ワート線と、

前記ビット線と前記ワート線の交点にメモリセルが配置されたメモリセルアレイと、前記メモリセルアレイに併設して設けられた予備メモリセルアレイと、

前記メモリセルアレイ中に不良セルがあることを記憶するためのプログラム手段と、

前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記不良セルの代りに前記予備メモリセルアレイ中より予備メモリセルを選択する選択手段と、

前記メモリセルと等価なダミーセルのドレインが接続され、基準電位を発生するダミービット線と、

前記ビット線にあらわれる電圧と、前記ダミービット線にあらわれる電圧を比較し、選択されたメモリセルのデータを読み出すセンスアンプと、データ読み出し時所定の時間前記ビット線と前

記ダミービット線をイコライズするイコライズ手段とを備え、

前記メモリセル中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記イコライズ手段によるイコライズ時間を、前記所定の時間より長くするようにした半導体メモリ装置。

42. 請求項41に記載の半導体メモリ装置において、

前記イコライズ手段は、前記ビット線と前記ダミービット線間に接続されたイコライズトランジスタと、

前記プログラム手段の出力信号が第1の論理レベルのとき、データ読み出し時に前記イコライズトランジスタのゲート電極に供給され、前記イコライズトランジスタのオン・オフを制御するイコライズパルス信号であって、第1のパルス幅を有する前記イコライズパルス信号を出力し、前記プログラム手段の出力信号が第2の論理レベルのとき、データ読み出し時に前記第1のパルス幅より長い前記イコライズパルス信号を出力する遅延回

路とを備えたことを特徴とする半導体メモリ装置。

43. 請求項42に記載の半導体メモリ装置において、

前記遅延回路は、インバータと、

前記インバータと電源間に接続され、ゲート電極が前記インバータの入力に接続された第1のMOSトランジスタと、ゲート電極が前記プログラム手段の出力信号に接続され、前記第1のMOSトランジスタと並列に接続された第2のMOSトランジスタとを備えたことを特徴とする半導体メモリ装置。

44. ビット線と、

ワード線と、浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで二進データを記憶するメモリセルと、

前記ビット線と前記ワード線の交点に前記メモリセルが配置されたメモリセルアレイと、

前記メモリセルアレイに併設して設けられた予備メモリセルと、

前記メモリセルアレイ中に不良セルがあること

を記憶するためのプログラム手段と、

前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして前記不良セルの代りに前記予備メモリセルアレイ中より予備メモリセルを選択する選択手段と、

前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、

前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶状態にある第2のダミーセルと、前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、

前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、

前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、

その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、

データ読み出し時、所定の時間前記ビット線と前記第1のダミービット線と前記第2のダミービット線をイコライズするイコライズ手段と

前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記イコライズ手段によるイコライズ時間を前記所定の時間より長くするようにした半導体メモリ装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体メモリ装置に関するものである。

(従来の技術)

従来のデータ読出し速度をより速めるようにした半導体メモリ装置について、第54図を参照して説明する。これは同一構成の二つのメモリセルアレイを備え、一対のセルを同時に動作させて読み出すものであり、浮遊ゲート型MOSFETをメモリセルとしてマトリクス状に配置したEPROMである。浮遊ゲート型MOSFETから成るメモリセル $T11$, $T12$, ..., Tmn 及びメモリセル $TT11$, $TT12$, ..., $TTmn$ は、二進データのいずれか一方を記憶するものであり、1ビット分のデータを記憶するのに、例えばメモリセル $T11$ と $TT11$ 、 $T12$ と $TT12$ というように二つのメモリセルを1組として用いている。

このそれぞれの同一行に属するメモリセルのゲートはワード線 $WL1$, $WL2$, ..., WLn に接続され、各列に属するメモリセルのドレインはビット線 $BL1$, $BL2$, ..., BLn 又はビット線 $BBL1$, $BBL2$, ..., $BBLn$ に接続されて

信頼性を上げるためのものである。

またセンスアンプ10は、それぞれ電圧 $VIN1$, $VIN2$ として与えられるビット線 BL およびビット線 BBL の電位の変化を比較することによってメモリセルに記憶されたデータを検出し、信号Dとして図示されていない外部機器に出力するものである。

このような構成を有したメモリ装置において、メモリセルに記憶されたデータをセンスアンプ10が読み出す動作について説明する。

メモリセルにおけるデータの記憶は、浮遊ゲートに電子が注入されているか否かによって行われる。浮遊ゲートに電子が注入されているものはゲートに論理“1”レベルの信号が与えられてもオフ状態を維持し、注入されていないものはオン状態となる。そして一組のメモリセルは、例えば一方のメモリセル $T11$ の浮遊ゲートに電子が注入されていれば他方のメモリセル $TT11$ には電子が注入されていないという互いに反対状態になっている関係にある。

いる。そしてそれぞれのメモリセルの選択は列デコーダ4及び行デコーダ5によって行われる。列デコーダ4は、カラムゲートトランジスタ $CG1$, $CG2$, ..., CGn 及びカラムゲートトランジスタ $CCG1$, $CCG2$, ..., $CCGn$ を選択的に駆動することによりビット線を選択する。トランジスタ $Q2$ 及び $Q4$ はこれらのビット線 BL 及び BBL をそれぞれ充電するもので、トランジスタ $Q3$ 及び $Q6$ はビット線 BL および BBL を接続することで等電位にするものであり(以下イコライズと称する)、いずれもパルス信号φが論理“1”のときに動作する。トランジスタ $Q1$ 及び $Q5$ は、トランジスタ $Q2$ 及び $Q4$ によって充電されたビット線 BL 又はビット線 BBL の電位が、リーク電流等によって低下しないように補償するべく所定の電流を流して充電するものである。

トランジスタ $Q7$, $Q8$, $Q9$ 及び $Q10$ は、メモリセルのドレイン電圧の上昇を抑えて一定のレベル以上にならないようにして、メモリセルの

行デコーダ5によって例えばワード線 $WL1$ が所定の電位になり、列デコーダ4によってカラムゲートトランジスタ $CG1$ 及びカラムゲートトランジスタ $CCG1$ が導通状態になり、一組の例えばメモリセル $T11$ 及び $TT11$ が選択される。

このようにして選択されたメモリセル $T11$ 及び $TT11$ に記憶されているデータを、センスアンプ10によって読取る。この読取り動作は、以下のように行うことによって動作速度を速めており、第55図を用いて説明する。

プリチャージ用トランジスタ $Q2$, $Q4$ 及びイコライズ用トランジスタ $Q3$, $Q6$ のそれぞれのゲートにレベル“1”のイコライズ信号φが印加されて導通し、ビット線 BL 及び BBL がプリチャージ及びイコライズされる。これによりイコライズ信号φのレベルが“1”である間(期間 $t11$)、ビット線 BL の電位 $VIN1$ とビット線 BBL の電位 $VIN2$ は共に等しい電位に充電される。

この後、イコライズ信号φのレベルが“0”に

なると(期間t12)、プリチャージ用トランジスタQ2、Q4及びイコライズ用トランジスタQ3、Q6は非導通状態となり、ビット線BL及びBBLの電位は、それぞれメモリセルT11及びTT11の記憶したデータに応じた電位VIN1、VIN2になる。電子が注入された一方のトランジスタT11は非導通状態であるため、ビット線BLは充電された状態となって電位VIN1は高くなり、他方のトランジスタTT11は電子が注入されていないためビット線BBLは放電状態となって低い電位VIN2となる。

このようなビット線BL、BBLの電位の差をセンスアンプ10において比較し、第5図のように電位VIN1が電位VIN2よりも高い場合には“1”の信号Dを出力し、逆に電位VIN1が電位VIN2よりも低い場合には“0”の信号Dを出力する。このように、イコライズ信号φが“1”から“0”になった瞬間に生じた電位差を検出することにより、プリチャージ及びイコライズをせずに、記憶状態に応じて電位差が自然に生じるまで

待った後読み取る場合よりも、読み取り動作が高速化されていた。

また第5図に記号Bで示したように、センスアンプの出力信号Dもイコライズ信号φで制御し、イコライズ信号φが“1”の時は、信号Dを“1”と“0”の中間に設定することにより、イコライズ信号φが“0”になった後の信号Dの“1”あるいは“0”への変化をより高速化していた。

またこのような高速動作を行う半導体メモリ装置では、読み取ったデータを外部に出力する際に、外部の装置との接続線へ高速にデータを出力するため、データを外部に出力する出力段のトランジスタの電流供給能力を極めて大きく設定している。この結果、出力段のトランジスタに流れる電流の変化量が大きくなって電源電圧変動を招くため、二つのメモリセルを組み合わせて同一のワード線で選択駆動し、それぞれのメモリセルのデータの違ひによって生じるビット線の電位を比較することによって、それぞれのビット線の電位に与える電源電圧変動の影響を等価にし、誤動作の発生を

防止していた。

(発明が解決しようとする課題)

この結果、動作の高速化のために1ビットのデータの記憶に二つのメモリセルを組み合わせていたため、低速あるいは中速動作の半導体メモリ装置に比較してチップ面積が増大し、チップコストが高くなるという問題があった。

本発明は上記事情に鑑み、動作が高速でかつ電源電圧変動によって誤動作が生じない上に、チップ面積が縮小され、チップコストを低減した安価な半導体メモリ装置を提供することを目的とする。

(課題を解決するための手段)

本発明にかかる半導体メモリ装置の第1の観点によれば、少なくとも二進のデータを記憶するメモリセルと、前記二進のデータの一方と等価な記憶状態にある第1のダミーセルと、前記二進のデータの他方と等価な記憶状態にある第2のダミーセルと、前記メモリセルと前記第1のダミーセルのそれぞれ記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1の

センスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた半導体メモリ装置が提供される。

メモリセルの記憶状態に応じた電圧を出力するビット線、第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線、第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線を備えることが好ましい。

メモリセルは浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで二進のデータを記憶するものであるとよい。

第1および第2のダミーセルとメモリセルとが電気的に等価な接続となっており、第1のダミーセルの閾値が電子の注入されたメモリセルの閾値とほぼ同じ高い値となっていることが好ましい。第1のダミービット線に微小電流を流して、浮遊

状態になることを防止するダミービット線リーク手段を備えると良い。

メモリセルの浮遊ゲートに電子が注入されていない場合にはビット線の電位がダミービット線の電位より低くなるように、あるいはメモリセルの浮遊ゲートに電子が注入されている場合にはビット線の電位がダミービット線の電位より高くなるように、ビット線ダミービット線にリーク電流路を形成するリーク手段を設けるとよい。

メモリセルを選択するアドレス信号が変化した場合、所定の期間導通してビット線、第1および第2のダミービット線を充電するプリチャージ手段を設けると良い。

メモリセルを選択するアドレス信号が変化した場合、所定の期間導通してビット線、第1および第2のダミービット線の相互間の電位をイコライズするイコライズ手段を備えると良い。

また、本発明にかかる半導体メモリ装置の第2の観点によれば、浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータ

を記憶する第1、第2のメモリセルと、前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセル線と前記浮遊ゲートに電子が注入していない前記メモリセルと等価な記憶状態にある第2のダミーセル線と、前記第1のメモリセルに記憶されたデータを読み出すときに、前記第1のメモリセルの記憶状態に応じた電圧を出力する第1のビット線と、前記第2のメモリセルに記憶されたデータを読み出すときに、前記第2のメモリセルの記憶状態に応じた電圧を出力する第2のビット線と、前記第1のダミーセル線の記憶状態に応じた電圧を出力する第1のダミービット線と、前記第2のダミービット線の記憶状態に応じた電圧を出力する第2のダミービット線と、前記第1のビット線と前記第1ダミービット線との電圧を比較することによって、前記第1のメモリセルの記憶状態に応じた第1の出力を発生する第1のセンスアンプ部と、前記第1のビット線と前記第2ダミービット線との電圧を比較することによって、前記第1のメモリセルの

記憶状態に応じた第2の出力を発生する第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって、前記第1のメモリセルの記憶状態を検出する第3のセンスアンプと、前記第2のビット線と、前記第1ダミービット線との電圧を比較することによって、前記第2のメモリセルの記憶状態に応じた第4の出力を発生する第4のセンスアンプ部と、前記第2のビット線と、前記第2のダミービット線との電圧を比較することによって、前記第2のメモリセルの記憶状態に応じた第5の出力を発生する第5のセンスアンプ部と、前記第4の出力と前記第5の出力とを比較することによって、前記第2のメモリセルの記憶状態を検出する第6のセンスアンプ部とを備えた半導体メモリ装置が提供される。

さらに、本発明にかかる半導体メモリ装置の第3の観点によれば、浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するメモリセルと、前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態

にある第1のダミーセルと、前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶状態にある第2のダミーセルと、前記メモリセルに記憶されたデータを読み出すときに、前記メモリセルの記憶状態に応じた電圧を出力するビット線と、前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、前記ビット線と前記第1のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第1の出力をする第1のセンスアンプ部と、前記ビット線と前記第2のダミービット線との電圧を比較することによって、前記メモリセルの記憶状態に応じた第2の出力をする第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、前記メモリセルへデータを書き込んだ後に行うプログラムベリファイデータリード時に前記第2のダミービット線が

出力する電圧を、通常データリード時にメモリセルのデータを読み出す際の前記第2のダミービット線が出力する電圧よりも高く設定する手段と、前記プログラムベリファイ時に、前記第2のダミービット線が出力する電圧と、前記ビット線が出力する電圧とを比較することによって、前記メモリセルの記憶状態を検出する第4のセンスアンプ部と、前記データを読み出す時は前記第3のセンスアンプ部の検出結果を出力し、前記プログラムベリファイデータリード時は前記第4のセンスアンプ部の検出結果を出力する出力切換手段とを備えたことを特徴とする半導体メモリ装置が提供される。

また、本発明にかかる半導体メモリ装置の第4の観点によれば、浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するメモリセルと、前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶

状態にある第2のダミーセルと、前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧とを比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、電源電圧に対応し、前記電源電圧よりも所定値だけ低い電圧を出力する電圧低下回路と、ドレインが前記第1のダミーセルのドレインに接続され、ゲートが前記電圧低下回路の出力に接続される前記浮遊ゲートに電子が注入されない前記メモリセルと等価な状態にある第3のダミーセルとを具備したことを特徴とする不揮発性半導体メモリが提供される。

また、本発明にかかる半導体メモリ装置の第6の観点によれば、バイナリデータの“0”あるいは

状態にある、第2のダミーセルと、前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備え、前記浮遊ゲートに電子が注入されていないメモリセルに流れる電流より、前記第2のダミービット線に流れる電流が少ないことを特徴とする半導体メモリ装置が提供される。

さらに、本発明にかかる半導体メモリ装置の第5の観点によれば、浮遊ゲートを有し、この浮遊ゲートに電子が注入されるか否かで、二進のデータを記憶するメモリセルと、前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記浮遊ゲートに電

は“1”をガラスマスクにパターン化することにより製造段階でバイナリデータを記憶するメモリセルと、前記バイナリデータの“1”が記憶された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記バイナリデータの“1”が記憶された前記メモリセルと等価な記憶状態にある第2のダミーセルと、前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、

前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた半導体メモリ装置が提供される。

さらに、本発明にかかる半導体メモリ装置の第7の観点によれば、バイナリデータの“0”あるいは“1”をMOSトランジスタがデプレッショ

ン型かエンハンスメント型かでデータを記憶する不揮発性メモリセルと、 n 個の前記メモリセルとナンド選択トランジスタを直接に接続してなるナンド束トランジスタ列と、前記ナンド束トランジスタ列が複数組接続され、前記メモリセルに記憶されたデータを読み出すときに前記メモリセルの記憶状態に応じた電圧を出力するビット線と、前記ナンド束トランジスタ列と同様の構成を有し、前記デプレッション型メモリセルと等価な1個の第1ダミーセルと前記エンハンスメント型メモリセルと等価な $(n-1)$ 個の第1のダミーセルとナンド選択トランジスタとを直列に接続してなる第1のダミーナンド束トランジスタ列と、前記第1のダミーセルナンド束トランジスタ列が複数組接続され、前記デプレッション型の第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、前記ナンド束トランジスタ列と同様の構成を有し、前記エンハンスメント型メモリセルと等価な n 個の第2のダミーセルとナンド選択トランジスタとを直列に接続してなる第2の

ダミーナンド束トランジスタ列と、前記ダミーナンド束トランジスタ列が複数組接続され、エンハンスメント型第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、前記ビット線と前記第1のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第1の出力を発生する第1のセンスアンプ部と、前記ビット線と前記第2のダミービット線との電圧を比較することによって前記メモリセルの記憶状態に応じた第2の出力を発生する第2のセンスアンプ部と、前記第1の出力と前記第2の出力を比較することによって前記メモリセルの記憶状態を検出する第3のセンスアンプ部とを備えた不揮発性半導体メモリ装置が提供される。

また、本発明にかかる半導体メモリ装置の第8の観点によれば、ビット線と、ワード線と、前記ビット線と前記ワード線の交点にメモリセルが配置されたメモリセルアレイと、前記メモリセルアレイに併設して設けられた予備メモリセルアレイと、前記メモリセルアレイ中に不良セルがあるこ

とを記憶するためのプログラム手段と、前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記不良セルの代りに前記予備メモリセルアレイ中より予備メモリセルを選択する選択手段と、前記メモリセルと等価なダミーセルのドレインが接続され、基準電位を発生するダミービット線と、前記ビット線にあらわれる電圧と、前記ダミービット線にあらわれる電圧を比較し、選択されたメモリセルのデータを読み出すセンスアンプと、データ読み出し時所定の時間前記ビット線と前記ダミービット線をイコライズするイコライズ手段とを備え、前記メモリセル中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記イコライズ手段によるイコライズ時間を、前記所定の時間より長くするようにした半導体メモリ装置が提供される。

さらに、本発明にかかる半導体メモリ装置の第9の観点によれば、ビット線と、ワード線と、浮遊ゲートを有し、この浮遊ゲートに電子が注入さ

れるか否かで二進データを記憶するメモリセルと、前記ビット線と前記ワード線の交点に前記メモリセルが配置されたメモリセルアレイと、前記メモリセルアレイに併設して設けられた予備メモリセルと、前記メモリセルアレイ中に不良セルがあることを記憶するためのプログラム手段と、前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして前記不良セルの代りに前記予備メモリセルアレイ中より予備メモリセルを選択する選択手段と、前記浮遊ゲートに電子が注入された前記メモリセルと等価な記憶状態にある第1のダミーセルと、前記第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミーセルの記憶状態に応じた電圧を出力する第1のダミービット線と、前記浮遊ゲートに電子が注入されていない前記メモリセルと等価な記憶状態にある第2のダミーセルと、前記第2のダミーセルの記憶状態に応じた電圧を出力する第2のダミービット線と、前記メモリセルと前記第1のダミーセルのそれぞれの記憶状態に応じて変化した

電圧を比較し、その結果に応じた第1の出力をする第1のセンスアンプ部と、前記メモリセルと前記第2のダミーセルのそれぞれの記憶状態に応じて変化した電圧を比較し、その結果に応じた第2の出力をする第2のセンスアンプ部と、前記第1の出力と前記第2の出力とを比較することによって、前記メモリセルの記憶状態を検出する第3のセンスアンプ部と、データ読み出し時、所定の時間前記ビット線と前記第1のダミービット線と前記第2のダミービット線をイコライズするイコライズ手段と前記メモリセルアレイ中に不良セルがある場合には、前記プログラム手段の出力にตอบสนองして、前記イコライズ手段によるイコライズ時間を前記所定の時間より長くするようにした半導体メモリ装置が提供される。

(作 用)

本発明によれば、メモリセルの記憶状態と第1のダミーセル、第2のダミーセルの状態とが比較されて、メモリセルに記憶されているデータが検出される。したがって、1ビット分のデータを2つのメモリセルに記憶し、相互の記憶状態を比較

高速動作が可能となる。

第3の観点による装置では、プログラムベリファイリード時に第2のビット線の出力電圧を通常のリード時よりも高く設定し、専用のセンスアンプを用いることにより書き込み時にメモリセルに注入される電子量を増加させ、電圧マージンを拡大することが可能となる。

第4の観点による装置では、メモリセルの浮遊ゲートに電子が注入されていないメモリセルに流れる電流より、第2のダミービット線に流れる電流が少なくされている。これにより第2のセンスアンプの出力が“0”と“1”の中間電位に達するのが速くなり、データ検出速度が向上する。

第5の観点による装置では、電流電圧よりも所定値だけ低い電圧を出力する電圧低下回路と、ドレインが第1のダミーセルのドレインに接続され、ゲートが電圧低下回路の出力に接続された、浮遊ゲートに電子が注入されないメモリセルと等価な状態にある第3のダミーセルを設けることにより、動作がさらに高速化される。

することによりデータを読み出すものに比べ、必要なメモリセルの数が半分で済む。

第1のダミービット線に微小電流を流すことにより、浮遊状態になることを防止でき、誤動作を防止できる。

リーク手段を設けた場合にはビット線とダミービット線との電位の関係が適切化され、センス動作が高速化し、マージンが拡大される。

イコライズ手段を設けた場合、ビット線、ダミービット線の電位を等しくし、動作を安定化させることができる。

プリチャージ手段を設けた場合にはイコライズ終了時にイコライズ信号の変化によるビット線およびダミービット線の電位変動を防止することができ、誤動作の発生を防止することができる。

第2の観点による装置では、1ビット分のデータを2つのメモリセルで記憶し、それぞれについて2つの状態のダミーセルでデータを取り出すようにしているので、高速のデータ検出が可能で、また、イコライズを適切に行うことによりさらに

第6の観点による装置では、メモリセルがバイナリデータの“0”あるいは“1”をガラスマスクにパターン化することにより、第1の観点による装置と同様のマスクROMを得ることができる。

第7の観点による装置では、メモリセルをMOSトランジスタがデプレッション型かエンハンスメント型かでデータを記憶する不揮発性メモリセルで構成し、ダミーセルをナンド束トランジスタ列で構成することにより、不揮発性半導体メモリ装置を得ることができる。

第8の観点による装置では、メモリセルアレイに予備メモリセルが併設され、不良セルがある場合にはビット線とダミービット線をイコライズするイコライズ時間を通常より長くするようにしているので、動作不良を起こしている行線が確実に非選択になり、誤動作を起こす可能性が減少する。

第9の観点による装置では、第1の観点によるメモリ装置に第8の観点によるイコライズ時間の延長を適用しており、同様に誤動作発生の可能性が減少する。

(実施例)

本発明の実施例について、図面を参照して説明する。

第1図は第1の実施例の回路構成を示したものである。従来の場合と比較して、1ビット分のデータの記憶を一つのメモリセルで構成し、このデータを読み出す際に基準となる電圧を設定するためのデータを記憶する第1及び第2のダミーセルをDM11、…、DMm1とDM12、

…DMm2の二列を設け、さらにこれに伴いメモリセルに記憶されているデータを検出するセンスアンプを三つ設けた点が異なっている。ここで従来と同じ構成要素には、同一の番号を付して説明を省略する。

第1のダミーセルDM11、DM21、…、DMm1はソースが浮遊状態であって、ゲートに論理“1”レベルの信号が与えられても電流経路を形成せず、浮遊ゲートに電子が注入されているメモリセルと等価である。第2のダミーセルDM12、DM22、…、DMm2は浮遊ゲート

遊状態になるのを防ぐために電流路を形成するものである。ビット線の特性をすべて等価にするために、ビット線BL、ダミービット線DBL2にも同様に、微少電流を流すリーク電流路を接続することもできる。

図示されていないアドレス変化検出回路は外部から入力されるアドレス信号が変化したのを検出してイコライズ信号φを発生する。そして、このイコライズ信号φが論理“1”のときに、トランジスタQ11、Q13及びQ15はこのビット線BL、ダミービット線DBL1及びDBL2をプリチャージし、トランジスタQ12、Q14、Q16及びQ17はビット線とダミービット線の電位を等しくする。さらにトランジスタQ100、Q101及びQ102は、それぞれ第1、2及び第3の負荷回路に相当し、トランジスタQ11、Q13及びQ15によってプリチャージされたビット線BL、ダミービット線DBL1及びDBL2の電位が、リーク電流等によって低下しないように所定の電流を流して充電する。このため、そ

に電子が注入されておらず、電子が注入されていないメモリセルと等価である。

そして第1のダミーセルDM11、DM21、…、DMm1のドレインは第1のダミービット線DBL1に、第2のダミーセルDM12、DM22、…、DMm2のドレインは第2のダミービット線DBL2にそれぞれ接続されている。さらにこのダミービット線DBL1及びダミービット線DBL2には、カラムゲートCGと等価なMOSFET DCG1とDCG2とが接続されている。容量C1、C2は、メモリセル側のカラムゲートトランジスタCG1、CG2…と、ダミーセル側のダミーカラムゲートトランジスタDCG1、DCG2との個数の差によるビット線とダミービット線の容量の差をなくし、ビット線とダミー線との容量を等しくするために接続されている。

ダミービット線DBL1に接続されたリーク電流路L1は、第1のダミーセルに電流路が形成されないため電氣的にダミービット線DBL1が浮

れらの導通抵抗は極めて大きく設定されている。トランジスタQ21、Q22、Q23、Q24及びQ25は、メモリセルあるいはダミーセルのドレイン電圧の上昇を抑えて、所定レベルを超えないようにし、メモリセルの信頼性を向上させるためのものである。そして、トランジスタQ21、Q22及びQ23はそれぞれ、第1、第2及び第3のバイアストランジスタに相当する。

第1のセンスアンプ1は、ビット線BLの電位VINとダミービット線DBL1の電位VR1とを比較し、その比較結果として第1の出力に相当する信号Aを出力するものである。

第2のセンスアンプ2は、この電位VINと、ダミービット線DBL2の電位VR2とを与えられて比較し、第2の出力に相当する信号Bを出力する。そして第3のセンスアンプ3は、この第1及び第2の信号を与えられて比較し、選択されたメモリセルのデータに対応した第3の出力に相当する信号Dを出力する。

第2図は、この第1、第2及び第3のセンスア

ンプの回路構成の一例を示したものである。いずれもカレントミラー回路の構成を有している。第1のセンスアンプ1のPチャネルエンハンスメント型トランジスタS1及びS2のゲートには電位VIN及びVRIがそれぞれ印加され、第1の信号Aが出力される。第2のセンスアンプ2のPチャネルエンハンスメント型トランジスタS3及びS4のゲートには電位VR2及びVINがそれぞれ印加され、第2の信号Bが出力される。そして第3のセンスアンプ3のPチャネルエンハンスメント型トランジスタS5及びS6のゲートには第1の信号A及び第2の信号Bがそれぞれ印加され、第3の信号Dが出力される。

このような構成を有した本実施例において、メモリセルに記憶されたデータを読み出す動作について、以下に説明する。

行デコーダ5によってワード線WLの1つが選択される。列デコーダ4により、カラムゲートトランジスタCGのうち1つが選択される。この選択されたカラムゲートトランジスタに対応したビ

ット線と、選択されたワード線との交点にあるメモリセルが選択される。

行デコーダ5によって選択されたメモリセルと同一のワード線WLに接続された二つのダミーセルも選択される。

次にイコライズ信号φと電位VIN、VRI及びVR2、さらに信号A、B及びDの相互関係を第3図に示す。イコライズ信号φが“0”から“1”になると(期間t1)、トランジスタQ11、Q13及びQ15がオンすることによりビット線BL、ダミービット線DBL1及びDBL2がプリチャージされ、さらにトランジスタQ12及びQ14及びQ16及びQ17によってビット線BL、ダミービット線DBL1及びDBL2は、ほぼ同電位に設定される。これにより、この期間t1においてVIN、VRI及びVR2は等しい電位にプリチャージされる。

このときは第1、第2及び第3のセンスアンプにおけるそれぞれのNチャネルエンハンスメント型トランジスタS21、S22及びS23は論理

“1”のイコライズ信号φによって導通しており、このイコライズ信号φによりPチャネルエンハンスメント型トランジスタS31、S32、S33は、オフするため、節点N1、N3及びN5から出力される信号A、B及びDは全て論理“0”となる。

そしてイコライズ信号φが1から“0”になると(期間t2)、トランジスタQ11、Q13、Q15及びトランジスタQ12、Q14、Q16、Q17はいずれも非導通状態となり、ビット線BL、ダミービット線DBL1及びDBL2の電位は選択されたメモリセル又はダミーセルの記憶状態に応じて変わる。同様に第2図中のトランジスタS21、S22及びS23も非導通状態となり、トランジスタS31、S32、S33は導通状態となるため、第1、第2、第3のセンスアンプは検知動作を始める。

この期間t2は、浮遊ゲートに電子が注入されていないメモリセルが選択された場合を示している。ビット線BLはメモリセルが導通状態である

ため、放電されて電位VINの電位は低下する。これに対し、ダミーセルDM11~DMm1はいずれも電子が注入されたのと等価な非導通状態であるため、ダミービット線DBL1は充電された状態となり、電位VRIは充電状態を維持する。この場合に電位VRIは、リーク電流路L1によってリーク電流分だけわずかに低下する。さらにダミーセルDM12~DMm2は、いずれも電子が注入されておらず導通状態であるため、ダミービット線DBL2は放電され、電位VR2は電位VINと同じレベルまで低下する。

これにより、第1のセンスアンプ1のトランジスタS1のゲートには放電状態の電位VINが印加されて導通し、トランジスタS2のゲートには充電状態の電位VRIが印加されて非導通状態を維持する。これにより、“1”の信号Aが第1のセンスアンプから出力される。

第2のセンスアンプ2のトランジスタS3及びトランジスタS4のゲートには共に放電状態の電位VR2、VINがそれぞれ印加され、いずれも導通

状態となる。このようにPチャネルトランジスタS3及びS4が導通状態の場合には、信号Bは論理“1”と“0”の中間値をとる。

第3のセンスアンプのトランジスタS5及びS6のゲートには、それぞれ論理“1”の信号Aと、論理“1”と“0”の中間の信号Bとがそれぞれ印加される。

すなわち、第3のセンスアンプは、信号Aの電位が、信号Bの電位より高いことを検知して、その出力に論理“0”を出力する。

次に新たに選択されたメモリセルに記憶されたデータを読み取るため、イコライズ信号φが“0”から“1”になると(期間t3)、ビット線BL、ダミービット線DBL1及びDBL2がそれぞれプリチャージされ同電位にされる。この場合の電位VIN、VR1及びVR2、さらに信号A、B及びDは期間t1の場合と同様である。

そしてイコライズ信号φが“1”から“0”に変わると(期間t4)、期間t2と同様にビット線BL、ダミービット線DBL1及びDBL2の

ことを検知して、その出力信号Bを論理“1”にする。

第3のセンスアンプは、信号Aの電位が、信号Bの電位よりも低いことを検知して、その出力信号Dを論理“1”にする。

このように、メモリセルの浮遊ゲートに電子が注入されていないときは“0”の信号Dが出力され、注入されているときは“1”の信号Dが出力されることによって、メモリセルの記憶状態が読み出される。

このように本実施例によれば、以下のような効果が得られる。先ず従来の装置と比較して、1ビット分のデータの記憶を一つのメモリセルで行うことができるため、チップ面積が縮小され、チップコストが低減される。

この場合の読み出し速度は、選択されたメモリセルに接続されたビット線と、二種類のダミーセルに接続されたダミービット線をそれぞれプリチャージ及びイコライズすることによって等しく高い電圧にしておき、その状態からそれぞれの記憶

電位は新たに選択されたメモリセル又はダミーセルのそれぞれの記憶状態に応じて変わる。この期間t4は、浮遊ゲートに電子が注入されたメモリセルが選択された場合を示している。このメモリセルは非導通状態であるため、ビット線BLは充電された状態を維持する。ダミービット線DBL1とダミービット線DBL2の電位は上述した期間t2の場合と全く同様であるため、電位VR1は充電状態を維持し、電位VR2は低下する。これにより、第1のセンスアンプ1のトランジスタS1及びS2のゲートには、共に充電状態の電位VIN及びVR1がそれぞれ印加されてトランジスタS1は、非導通状態となり、信号AはトランジスタS21で放電された状態を維持する。すなわち信号Aは論理“0”である。

第2のセンスアンプ2のトランジスタS3のゲートには放電状態の電位VR2が印加されてトランジスタS3は、導通し、トランジスタS4には充電状態の電位VINが印加される。第2のセンスアンプ2は、電位VR2よりもVINの電位の方が高い

状態に応じた電圧に変化した瞬間を検出して読み取るため、二つのメモリセルに、お互いに反対のデータを1ビット分として記憶させた従来の読み方と等価になり読み出し速度は、従来同様高速化されている。

さらに電源電圧変動が生じた場合における誤動作の発生は、次のようにして防止される。電子が注入されていないメモリセルが選択された場合(期間t2)は、第1のセンスアンプ1は、電子が注入されていないメモリセルと、電流経路のない、電子が注入されたメモリセルと等価なダミーセルDM11~DMm1からのデータ、すなわち、オンしたメモリセルからのデータと、オフしたダミーセルからのデータを比較することになる。したがって、電源変動が生じた場合でも、従来の1ビット分のデータを二つのメモリセルに互いに反対のデータとして記憶させたものと同様に、ビット線の電位は逆転することなく誤動作することはない。

また、第2のセンスアンプ2では電子が注入さ

れていないメモリセルと、このようなメモリセルと等価なダミーセルDM12~DMm2からのデータとを比較して読み出すことになる。このため電源電圧変動が生じた場合にも、ビット線BLとダミービット線DBL2が受ける電源電圧変動の影響は等しい。従って入力される電圧VINとVR2とは共に低い電圧であるが、同じ影響を受けることになる。

これにより、第2のセンスアンプ2から出力される信号Bは第1のセンスアンプ1からの信号Aよりも低いという関係が維持されて、第3のセンスアンプ3からの信号Dは安定して“0”を保ち、誤動作の発生が防止される。

電子が注入されたメモリセルが選択された場合は(期間t4)、第2のセンスアンプ2は、電子が注入されたメモリセルと、電子が注入されていないメモリセルと等価なダミーセルDM12~DMm2からのデータ、すなわち、オフしたメモリセルからのデータと、オンしたダミーセルからのデータを比較することになる。したがって、電

源変動が生じた場合でも、従来の1ビット分のデータを二つのメモリセルに互いに反対のデータとして記憶させたものと同様に、ビット線の電位とダミービット線の電位は逆転することがなく誤動作することはない。また、第1のセンスアンプ1は、電子が注入されたメモリセルと、このメモリセルと等価なダミーセルDM11~DMm1からのデータを比較して読み出す。第1のセンスアンプ1において比較するビット線BL及びダミービット線DBL1が受ける電源電圧変動の影響は等しく、同じ変化をすることになる。従って第1のセンスアンプ1から出力される信号Aは、第2のセンスアンプ2からの信号Bよりも低いという関係は維持され、第3のセンスアンプ3からは、論理“1”の信号Dが電源電圧変動にかかわらず安定して出力される。

このように第1の実施例によれば、高速度で動作し、電源電圧変動による誤動作の発生を防止し得る上に、1ビットのデータを記憶させるのに1つのメモリセルで足りるため、従来の中速又は低

速動作のメモリ装置と同程度にチップ面積を縮小することができ、コストが低減される。

本発明の他の実施例を以下に示す。第2の実施例として、第3のセンスアンプ3を第4図に示されたものとしてもよい。また第1、第2、第3のセンスアンプすべてを第4図に示したものをを用いてもよい。第2図に示された第3のセンスアンプ3は、pチャネル型トランジスタS5、S6のゲートに信号A、Bをそれぞれ供給していたが、第4図に示したものは、略0Vの閾電圧を持つNチャネル型トランジスタS15、S16のゲートに信号Aと信号Bをそれぞれ供給している。トランジスタS15のドレインは電源Vccに、ソースは、Nチャネルエンハンスメント型トランジスタSS15のドレインに接続されるとともにNチャネルエンハンスメント型トランジスタSS16のゲートに接続される。トランジスタS16のドレインは電源Vccに、ソースはトランジスタSS16のドレインに接続されるとともに、トランジスタSS15のゲートに接続される。トランジスタSS1

5、SS16のソースは接地される。この場合も同様に、信号A、B及びDは第3図に示されたような変化をする。

即ち信号A及びBが共に論理“0”のとき(期間t1)は、トランジスタS15及びS16は共に非導通状態であり、信号Dは“0”となる。信号Aが“1”で信号Bが“1”と“0”の間の電位にあるとき(期間t2)は、Aの電位が、Bの電位に比べ高くなるため節点N16は“0”になり、論理“0”の信号Dが出力される。さらに信号Aが“0”で信号Bが“1”の場合には(期間t4)、Bの電位の方がAの電位よりも高いため節点N16の電位は上昇し、“1”の信号が出力される。

パルス信号φが論理“1”から“0”に変化すると、共に“0”の状態であった信号A及びBのうちのいずれかの信号が“1”に変化することになるが、この変化を直ちに読み取って信号Dを出力する。

第2の実施例として、第1及び第2のセンスア

ンプに第4図に示した回路を用いた場合には、ビット線及びダミービット線のプリチャージ電位に関係なく、ビット線とダミービット線との間に電位差が生じれば、すみやかにこれを検出することができる。

次に、本発明の第3の実施例について説明する。この場合の回路構成を第5図に、読出し時における各信号のタイミングを第6図に示す。上述した第1及び第2の実施例と比較し、以下の点が異なる。

ビット線プリチャージ回路として、Nチャネルディプレッション型トランジスタQ11及びPチャネルエンハンスメント型トランジスタQ31を直列に接続し、ダミービット線DBL1のプリチャージ回路としてNチャネルディプレッション型トランジスタQ13及びPチャネルエンハンスメント型トランジスタQ33を直列に接続し、ダミービット線DBL2のプリチャージ回路としてNチャネルディプレッション型トランジスタQ15及びPチャネルエンハンスメント型トランジスタ

Q35を直列に接続して構成している。

PチャネルトランジスタQ31、Q33、

Q35のゲートは、それぞれビット線BL、ダミービット線DBL1、ダミービット線DBL2に接続される。

さらに負荷トランジスタとしてドレインとゲートも共通にビット線あるいはダミービット線、接続してPチャネルトランジスタQ100、

Q101、Q102を使用している。

イコライズ信号φが、第6図の期間t1、又はt3のように“1”レベルになると、Nチャネルディプレッション型トランジスタQ11、Q13及びQ15は全て導通状態になり、ビット線BL、ダミービット線DBL1、DBL2はいずれも充電されて、電源電圧VccからPチャネルトランジスタの閾値電圧Vthpを引いた電位

($V_{cc} - |V_{thp}|$)まで上昇する。第1のセンスアンプ及び第2のセンスアンプの入カトランジスタが、第2図の実施例回路のようにPチャネルエンハンスメント型で構成されている場合、プリ

チャージ後のビット線及びダミービット線の電位を、入力トランジスタS1～S4のオンとオフの境界点から変化させることにより、第1、第2のセンスアンプの応答は、早くなる。このため、PチャネルトランジスタQ31、Q33及びQ35を使用してプリチャージ後のビット線及びダミービット線の電位が($V_{cc} - |V_{thp}|$)となるよう設定している。また、このプリチャージの期間、NチャネルトランジスタQ12及びQ14及びQ16及びQ17は導通状態となりビット線BLとダミービット線DBL1とダミービット線DBL2の電位はそれぞれ等しくされる。

イコライズが終了した後、期間t2又はt4のようにイコライズ信号φが“0”レベルになると、ゲートにイコライズ信号φが入力されたプリチャージトランジスタQ11、Q13及びQ15は全て非導通状態となる。またこのとき、同時にイコライズトランジスタQ12、Q14、Q16及びQ17も非導通状態となる。これにより、電位VIN、VRI及びVR2は、それぞれメモリセル、又

はダミーセルの記憶状態に対応したレベルに変化する。イコライズおよびプリチャージが終了したときトランジスタQ11、Q13及びQ15のゲートに印加される電圧が“1”レベルから“0”レベルに変化するため、ゲート・ソース間の容量結合によりPチャネルエンハンスメント型トランジスタQ31、Q33及びQ35のソース電圧は低下する。しかしながらビット線及びダミービット線の電位VIN、VRI、VR2は前述した($V_{cc} - |V_{thp}|$)の電位となっているためPチャネルトランジスタQ31、Q33及びQ35はいずれもまだ非導通状態にあり、電位VIN、VRI及びVR2はイコライズ信号φが“1”レベルから“0”レベルに変化しても、その影響を受けることなく、安定してメモリセル及びダミーセルの記憶データに対応した電位に変化することが可能となる。

このようにプリチャージ回路として、デプレッション型NチャネルトランジスタQ11、Q13及びQ15と、PチャネルトランジスタQ31、Q33、Q35を組み合わせることで、動作を安

定化させることができ、高速読み出しが可能となる。

PチャネルトランジスタQ31, Q33, Q35はプリチャージ動作終了時のビット線、ダミービット線の電位を設定するとともにプリチャージ動作時のビット線、ダミービット線の充電電流をコントロールする機能も有している。

選択されていないビット線はGroundに放電されているためカラムアドレスが変化して新しいビット線が選択される場合、このビット線は0Vから充電されるためビット線のプリチャージに必要な時間がもっとも長い。高速読み出しのためには短いプリチャージ期間でビット線(BL)と第1、第2のダミービット線(DBL1, DBL2)を所定電位まで充電する必要がある。ビット線と第1のダミービット線及び第1のダミービット線と第2のダミービット線間はイコライズトランジスタによりイコライズされるが、トランジスタの導通抵抗のためビット線とダミービット線間にはわずかに電位差が生じる。カラムアドレスが変化し

た後のビット線のプリチャージ時間が、ダミービット線のプリチャージ時間より長いことを考慮してトランジスタQ31の導通抵抗は、トランジスタQ33またはトランジスタQ35の導通抵抗より小さく設定してもよい。

またビット線BLにはエンハンスメント型NチャネルトランジスタQ42を接続し、ダミービット線DBL1にはエンハンスメント型NチャネルトランジスタQ40を接続し、同様にDBL2にはエンハンスメント型NチャネルトランジスタQ41を接続し、それぞれのトランジスタサイズ(W/L)を $Q40 > Q42 > Q41$ の關係に設定しているがこれは以下の理由による。

第6図の期間t4に示すように、電子が注入されたメモリセルからデータを読み出す場合は、電位VINは電位VR1と同様に($V_{cc} - 1V_{thp}$)の電位になる。しかしながら一般に、メモリセルのゲートに印加される電源電圧Vccは常に一定のレベルが保持されているわけではなく出力バッファ回路からデータが外部に出力される際には、その

出力端に存在する大きな負荷容量を駆動するために大電流が流れ、電源配線のインダクタンスによって、チップ内部の電源電圧Vccは1~2V程度変動することがある。例えば、正常時に電源電圧Vccは5Vであるとする、一時的に6~7Vまで上昇することがある。この結果、電子が浮遊ゲートに注入されたメモリセルが選択された場合でも、メモリセルのゲート電圧(VG)が上昇するため、メモリセルは一時的に導通状態となり、電位VINは($V_{cc} - 1V_{thp}$)よりわずかに低くなることある。このノイズの影響で第1のセンスアンプの出力信号Aは“0”レベルから“1”レベルへと変化し、第3のセンスアンプ出力信号Dは“1”レベルから“0”レベルへと変化するため、電子が注入されたメモリセルが選択されているにもかかわらず、センス回路から電子が注入されていない“1”データに対応する信号が出力されてしまう。この問題を解決するため、ビット線BLとダミービット線DBL1に設けられたリークトランジスタQ40, 41, 42のリーク電

流に差を持たせ、電子が注入されたメモリセルが選択された場合、ビット線電位VINが、ダミービット線電位VR1より高くなるよう設定している。この結果ノイズの影響でメモリセルがわずかに導通状態となり、メモリセルに数 μA 程度電流が流れても、第3のセンスアンプの出力信号Dは反転することなく安定してメモリセルの“0”データを出力することができる。ビット線のリーク電流量を、第1のダミービット線のリーク電流量より小さく設定するため、リークトランジスタQ40とQ42のトランジスタのサイズW/Lすなわちトランジスタのチャンネル幅と長さの比は $Q40 > Q42$ となるよう選定している。ここでトランジスタQ42及びQ40のゲートには、リーク量を所定の値に設定するための電位L1が共通に印加されている。

またチップ内の個々のメモリセルに流れる電流はまったく同一ではなく、W/Lのばらつきにより数%程度の差がある。このため電子が注入されていないメモリセルが選択され、選択されたメモ

リセルに流れる電流が選択された第2のダミーセルに流れる電流より少ない場合、電位VINは電位VR2より高いレベルになる。このVINとRV2の電位差のため第2のセンスアンプの出力信号Bの“1”レベルと“0”レベルの中間電位が高くなり、また上昇する速度が速い。第3のセンスアンプは、信号Aと信号Bが“0”レベルから“1”レベルへ変化するときの上昇速度の差を検知してデータ検出を行なうため、メモリセルに流れる電流のばらつきにより信号Aと信号Bが“0”から“1”に変化するときの電位差が小さくなり、読み出し速度が遅くなる問題がある。この問題を解決するため、ビット線のリーク電流量を、第2のダミービット線のリーク電流量より多く設定し、浮遊ゲートに電子の注入されていないメモリセルが選択されたときの電位VINが電位VR2より低くなるよう設定している。ビット線のリーク電流量を、第2のダミービット線のリーク電流量より大きく設定するため、リークトランジスタQ42とQ41のトランジスタのサイズW/LがQ42>

Q41となるよう選定している。

以上述べたように安定したデータ出力と高速読み出しを実現するためにビット線及びダミービット線に設けられたリーク回路のリーク電流量は、第1のダミービット線DBL1>ビット線BL>第2のダミービット線DBL2の関係となることが好ましい。

第5図の実施例では、各リーク回路のトランジスタサイズを変更することによりリーク電流量を設定しているが、各トランジスタサイズを同一にしてゲート電圧をコントロールすることにより、同様なリーク電流量の実現することも可能である。

また、第2のダミービット線の電位VR2がビット線の電位VINよりゆるやかに変化するよう、ダミー容量を第2のダミービット線に付加することによってもまた、上述した電子が注入されていないメモリセルを読み出す場合に、メモリセルに流れる電流のばらつきによる読み出し速度の遅れを防ぐことができる。第5図に示す実施例では、こ

のダミー容量を、PチャンネルトランジスタC6とNチャンネルトランジスタC5のゲート容量を用いて構成している。

次に第4の実施例について、第2図、第7図及び第8図を用いて説明する。第1図及び第2図に示す実施例の回路において、浮遊ゲートに電子が注入されたメモリセルを読み出すとき、このメモリセルがわずかに導通状態であると、プリチャージ動作後のある時間の間は、メモリセルの“0”データが読み出されるが、その後データが反転し誤った“1”データが出力される問題がある。前述したようにメモリセルがわずかに導通状態のとき、電位VINは電位VR1より、ほんのわずか低いレベルとなる。ビット線のプリチャージ動作後、第2のダミービット線の電位は、直ちに所定の低いレベルに変化するため、第2のセンスアンプはその変化を検知して、その出力Bは直ちにVccに向かって変化する。これに対し、ビット線の電位VINと、電流経路のないダミーセルの接続された第1のダミービット線の電位VR1は共に(Vcc-

|Vthp|)レベル近傍の所定の高いレベルにあり、電位VINが電位VR1よりわずかに低いレベルにあるため、第1のセンスアンプの出力Aの電位は徐々にVcc電位まで上昇する。このため数

100nsec程度時間が経過すると、第2図に示す第3のセンスアンプのトランジスタS5はトランジスタS6と同様に非導通状態となり、その出力信号Dは徐々にGround電位まで低下する。

出力信号Dが“0”レベルへと反転するまでの時間は一定でなく、電位VINと電位VR1の電位差が小さければより長い時間の後に出力信号Dが論理“1”から論理“0”に反転する。通常浮遊ゲートに注入された電子の量が充分かどうかチェックするためデータ書き込み後電源電圧Vccを所定の電位まで上昇させ、“0”データが安定して出力される事をチェックしている。このため、上述のように読み出す時間により、読み出しデータが異なると浮遊ゲートに注入された電子の量が十分かどうか判断するのが困難となる。

第8図の実施例はこの問題を考慮し、第3のセ

ンスアンプ3の出力端と電源 V_{cc} との間に導通抵抗の大きなプルアップ用のNチャネルデプレッション型トランジスタQ43を併えることにより、安定したデータ出力を行えるよう構成している。第3のセンスアンプの出力をプルアップすることにより、上述したように“0”データ読み出し後ある時間経過して第3のセンスアンプのトランジスタS5及びトランジスタS6が非導通状態となった場合でも、その出力Dの電位は V_{cc} 電位に保たれる。このため電子が注入されたわずかに導通状態のメモセルが選択された場合でも長い時間の間に第3のセンスアンプの出力データが“0”レベルに反転する誤動作はなくなる。本実施例では、電源電圧を上昇させメモセルに流れる電流が所定の値になった時、第2のセンスアンプの出力Bが $(V_{cc} - 1V_{thp})$ 以下の電位へと変化するため、第3のセンスアンプの出力信号Dが論理“1”レベルから論理“0”レベルへと変化する。このため、読み出し時間にかかわらず浮遊ゲートへの電子の注入量を正しくチェックするこ

一般にEPROMのプログラムは、プログラムベリファイモードで書き込み不十分と判断されたメモセルについては、再び所定時間追加書き込みを行なうことによって、浮遊ゲートへの電子の注入量を増加させるプログラムシーケンスが採用されている。このため電子を注入されたメモセルの閾値電圧が所定の電圧(例えば7V)以下ではプログラムベリファイモードで“1”データが出力されるようセンス回路を設定することにより、閾値電圧が7V以下のメモセルについては追加書き込みが行なわれ、電子が注入されたメモセルの閾値電圧を、電源電圧の変動に対してマージンのある7V以上に設定することができる。これを実現するため、第4の実施例においては第1図に示すデータ読み出し用のセンスアンプ1、2及び3とは別に第8図に示すプログラムベリファイセンス回路36を新たに設け、スイッチ回路32により、通常読み出し時は、第3のセンスアンプの出力信号がラッチ回路37を経由して出力バッファ回路38に伝達され、プログラムベリファイ

とができる。なお、このトランジスタQ43の導通抵抗は、メモセルから“1”データを読み出す時に、読み出し速度が遅くならない程度に小さく設定するのが好ましい。

また前述したように、メモセルのゲートに印加される電源電圧 V_{cc} は、常に一定のレベルが保持されているわけではなく、正常時に電源電圧 V_{cc} は5Vであるとする、出力バッファノイズの影響で一時的に6~7Vまで上昇することがある。また、浮遊ゲートはシリコン酸化膜に覆われているが、一般にこのシリコン酸化膜には欠陥が存在するため、浮遊ゲートに注入された電子は長い時間の間に徐々に抜けてゆく場合がある。このような場合でも、長期間の安定した読み出し動作を保証するためには、電子が注入されたメモセルの閾値電圧は、高ければ高いほど良い。このため第4の実施例においては、電源電圧上昇に対する安定した読み出し動作を保証し、電源電圧マージンを拡大するため、プログラムベリファイ時の専用の読み出し回路を備えている。

モード時はプログラムベリファイセンス回路の出力信号が、ラッチ回路37を経由して出力バッファ回路38に伝達されるよう切り換え動作を行なっている。切り換えをコントロールする信号WRは、プログラムベリファイ時“0”レベルとなり、通常読み出し時“1”レベルとなる。また \overline{WR} はWRの逆相信号である。このプログラムベリファイセンス回路36は、電圧比較用の入力トランジスタにPチャネルトランジスタを使用した差動増幅回路33と、インバータ34、35から構成されており、電圧比較用トランジスタの入力ゲートにはそれぞれビット線BLの電位VINと第2のダミービット線DBL2の電位VR2が印加される。さらに通常読み出し時、差動増幅回路33での消費電流を小さくし、チップの消費電流が増加しないよう電源端子と入力トランジスタ間に接続されたPチャネルトランジスタのゲートに信号WRを入力している。プログラムベリファイ時の第2のダミービット線DBL2の電位VR2は第7図のPチャネルトランジスタQ37とQ38で

構成されるプログラムベリファイ用負荷回路11が導通状態となるため、通常の読み出し時の電位VR2より高いレベルに設定される。プログラムベリファイ時のデータ読み出し動作は一般に、CMOS EPROMで使用される差動増幅回路を使用したセンス方式と同様で、電位VR2をリファレンス電位として、この電位よりビット線の電位VINが高い場合メモセルのデータは浮遊ゲートに電子が注入されている“0”データと判断され、リファレンス電位よりビット線の電位VINが低い場合、メモセルのデータは浮遊ゲートに電子が注入されていない“1”データと判断される。上述したプログラムベリファイ用負荷回路のトランジスタQ37の導通抵抗はメモセルの閾値電圧が7V以下では、プログラムベリファイモード時にプログラムベリファイセンス回路から“1”データが出力されようように設定される。プログラムベリファイセンス回路を使用した読み出し速度は1つのリファレンス電位を使用するセンス方式のため、100nsec程度である。一般にEPROM

Mのプログラム装置のプログラムベリファイ時の出力データの判定はアドレスを入力してから後、1μsec程度と非常に長く設定されているため、100nsec程度の読み出し速度であれば十分である。

また第8図のプログラムベリファイセンス回路の差動増幅回路33は、プログラムベリファイ時に第1～第3のセンスアンプのカレントミラー回路のうちの1つを使用して構成することも可能である。例えば、第1のセンスアンプのPチャネルトランジスタS2のゲート入力信号を、通常読み出し時は第1のダミービット線とし、プログラムベリファイ時は第2のダミービット線に切り換え、さらに第1のセンスアンプの出力信号Aをインバート2段とスイッチ回路32を介して出力バッファ回路に入力することにより第8図のプログラムベリファイセンス回路を実現でき、チップ面積を縮小することが可能となる。

第8図において、データ転送回路32と出力バッファ回路38との間には、ラッチ回路37が接

続されている。このラッチ回路37はイコライズ及びプリチャージが行なわれている間、出力バッファ回路38からメモセルのデータに対応しないデータが出力され、このデータ出力により電源電圧が変動することを防止するために設けられている。

第9図はデータ読み出し時の各信号のタイミングを示してあり、以下にラッチ回路使用時の読み出し動作を説明する。第9図でアドレス信号が変化すると(時点t11)、このアドレス信号の変化は図示されていないアドレス変化検出回路

(ATD回路)により検出され、このATD回路より所定の時間“1”レベルのATDパルスが出力される(時点t12)。このATDパルスが出力されるとラッチ回路37をコントロールするラッチパルスが“1”レベルに変化する(時点t13)。さらにこのラッチパルスの変化を受けて上述したイコライズ及びプリチャージ制御用のイコライズ信号φも“1”レベルに変化する(時点t14)。第9図に示すように、ラッチパルスは、

イコライズ信号φの立ち上がりよりも先に“1”レベルへ変化する。

このため、イコライズ及びプリチャージ動作が開始される前に出力信号Dは時点t13においてラッチ回路37でラッチされ、イコライズ信号φの変化により第3のセンスアンプ3の出力信号Dが“1”レベルから“0”レベルに変化しても(t15)、出力バッファ回路38からはラッチされた出力信号Fが出力される。

そしてATDパルスが所定時間経過後に“0”レベルになると(時点t16)、その変化を受けてイコライズ信号φも“0”レベルとなり(時点t17)、選択されたメモセルのデータが読み出される。イコライズ信号φが“0”レベルに変化してから所定時間経過後ラッチパルスも“0”レベルになり(時点t18)、第3のセンスアンプ3からの出力信号Dがラッチ回路を介して出力バッファ回路38に転送され外部に出力される。このように本実施例ではセンス動作が行われている間は、出力バッファからラッチされた前のデー

クが出力されるため、電源電圧は安定しており、高速読み出しが可能となる。

次に、第5の実施例について説明する。上述した第1～第4の実施例では、電子の注入されたメモリセルM11～Mmnと等価な第1のダミーセルDM11～DMm1として、電流経路を形成しないもので説明した。従って、この第1のダミーセルDM11～DMm1のゲートに電圧を印加しても電流経路は形成されない。ところがメモリセルM11～Mmnのうち、浮遊ゲートに電子が注入されたものは、その閾値電圧が上昇している点のみが注入されていないセルと異なる。このため、ゲートに閾値電圧よりも高い電源電圧Vccが印加されると電流経路は形成され、導通することになる。この結果、第3のセンスアンプ3からは、読んだデータ“1”が検出されることになる。

前述したように、メモリセルのゲートに印加される電源電圧Vccは、常に一定のレベルが保持されているわけではない。例えば、出力バッファ回路38からデータが出力される際には、その出力

に依存する大きな負荷容量を駆動するために大電流を流す必要がある。このため、前述したように電源配線に存在するインダクタンスによって、電源電圧Vccは1～2V程度変動することがある。例えば、正常時に電源電圧Vccは5Vであるとする、一時的に6～7Vまで上昇することがある。このような場合にも、誤動作を招かないためには、電子を注入されたメモリセルの閾値電圧は、前述したように7V以上であることが必要になってくる。

しかし閾値電圧を高めるためには、追加書き込みによりより多くの電子を注入する必要があり、プログラムに長い時間を要することになる。一つのメモリセルに電子を注入するために時間が長くなるかかるとなると、メモリ装置全体のプログラムには多大な時間が必要となり、メモリ容量が大きくなればなる程、長い時間を費やさなければならなくなる。

第5の実施例は、上記の事情を考慮してなされたものである。この実施例における第1のダミー

セルDM11～DMm1は、第10図に示されたように、電子の注入されたメモリセルと電気的に等価なものを用いている。

そして、この第1のダミーセルの閾値電圧は、浮遊ゲートに電子が注入されていないメモリセルの閾値電圧より高くなっており、電子の注入されているメモリセルの閾値電圧と同様の値となっている。第1のダミーセルのゲートに閾値電圧を超える電源電圧Vccが印加されると、メモリセルと同様に電流経路が形成され、導通することになる。例えば、電子の注入されたメモリセルの閾値電圧が6Vであり、第1のダミーセルの閾値電圧も同様に6Vであるとする。これにより、電源変動が生じて電源電圧Vccが6V以上に上昇すると、メモリセルのみならず、第1のダミーセルも同様に導通するため、誤動作が防止される。

この実施例では、必ずしも電子の注入されたメモリセルの閾値電圧をより高めておく必要はない。4～5V程度であってもよく、この場合には第1のダミーセルも同様に4～5Vの閾値電圧を持つ

ようにすればよい。

ここで、第1のダミーセルの閾値電圧を、電子の注入されたメモリセルと同程度に高めるには、幾つかの方法が考えられる。例えば、トランジスタのチャネルへ注入する不純物イオンのドーズ量を多くしても良い。あるいは、メモリセルと同様に浮遊ゲートに電子を注入してもよい。この場合に、第1のダミーセルの閾値電圧は、電子の注入されたメモリセルの閾値電圧よりも低くなるように設定するのが好ましい。このためには、メモリセルと第1のダミーセルとに電子を注入する際に、プログラム電圧を印加する時間を第1のダミーセルの方が短くなるように設定すればよい。

次に、この第5の実施例に関連した第6の実施例について説明する。この実施例では、第1～第4の実施例と同様に、第1のダミーセルとして電流経路の形成されていないメモリセルを用いている。その代わりに、電源電圧Vccが一定値を超えた場合には、ダミー列線DBL1にリーク電流路を設けて、電位VR1を必要なレベルだけ低下させ

て誤動作を防止するリーク手段を備えている。

第11図に、そのリーク手段を示す。節点N100は、第1図に示されたダミー列線DBL1の節点N100に接続されている。Pチャネルエンハンスメント型トランジスタTr4のゲートに、チップイネーブル信号 \overline{CE} が印加されており、チップがイネーブル状態になると、Pチャネルエンハンスメント型トランジスタTr2に電源電圧Vccが供給される。このトランジスタTr2のドレイン電極からは、電源電圧Vccより所定電圧だけ低い電圧Voutが出力される。このリーク回路の動作を、第12図を用いて説明する。第12図の実線は第11図のNチャネルデブリッシュン型トランジスタTr1のドレイン電圧(Vout)と流れる電流(I1)の関係を示し、破線はPチャネルエンハンスメント型トランジスタTr2の、ドレイン電圧(Vout)と流れる電流(I2)の関係を示している。破線①は電源電圧VccがVc1の場合のトランジスタTr2に流れる電流I2の特性で、破線②は電源電圧VccがVc1

より高いVc2の場合のトランジスタTr2に流れる電流I2の特性を示している。

電源電圧VccがVc1からVc2へ上昇すると、出力電圧VoutはVout1からVout2へ変化する。即ち出力電圧Voutは、電源電圧Vccの変化に応じて変化する。その電圧はVccよりも所望の電圧だけ低くなる。例えば第12図において、正規の電源電圧Vc1が5Vのとき出力電圧Vout1は約1Vであるとする、電源電圧Vc2が6Vのとき、出力電圧Vout2は約2Vとなる。この電源電圧Vccより降下された出力電圧Voutが第3のダミーセルに相当するNチャネルエンハンスメント型トランジスタD1のゲートに印加される。これにより、このトランジスタD1のドレインは、データ読み出し時にリード信号Rによって導通するNチャネルエンハンスメント型トランジスタTr3を介して、節点N100に接続される。

ここで、トランジスタD1のゲートに印加される出力電圧Voutは、トランジスタTr1及びTr2の導通抵抗の比率を変えることによって、

任意に設定することができる。またトランジスタTr1に流れる電流I1は、閾値電圧の絶対値が低い程、小さい出力電圧Voutで飽和領域に到達する。従って、電源電圧Vccの広い範囲に渡って所望の出力電圧Voutを設定するには、トランジスタTr1の閾値電圧の絶対値をより低く設定するのが望ましい。

このような構成を備えたリーク手段は、電源電圧Vccが上昇して所定値(例えば6V)に達すると、この電圧より降下された出力電圧Vout(例えば2V)がトランジスタD1のゲートに印加されてこのトランジスタD1が導通し、節点N100においてリーク電流路が形成される。これにより、電源電圧が所定の電圧(5V)以上になると第1のダミービット線DBL1の電位VR1は低下する。

ここでトランジスタD1は、電子を注入されたメモリセルよりも、結果的に低い電源電圧Vccで導通するように閾値電圧が設定されていれば、電源電圧が上昇した場合でも誤動作を防ぐことが可

能である。

第1図で示した実施例の回路のチップ上の回路配置の実施例を第13図に示す。通常EPROMでは、1つのアドレスに対して複数のデータを記憶する。第13図の実施例では、10の行アドレス信号と5つの列アドレス信号によって4つのメモリセルが選択される。同時に4ビットのデータが出力されるメモリチップの構成が示されている。メモリセルアレイは、各ビットに対応してメモリセルアレイ0からメモリセルアレイ3まで4分割され、列デコードにより選択された各ビットに対応した4本のビット線には、それぞれ行デコードにより選択されたメモリセルのデータに対応した電位VINが出力される。また、メモリセルアレイ0と1、及びメモリセルアレイ2と3の間には、それぞれ第1のダミービット線と第2のダミービット線が配置され、各々のダミービット線に接続されている第1のダミーセルと第2のダミーセルの記憶状態に対応した電位(VR1とVR2)が各々のダミービット線DBL1、DBL2に現わ

れる。本実施例では、2本の第1のダミービット線のうち、メモリセルアレイ0と1の間に配置された第1のダミービット線の電位(V_{R1})は、ビット0のメモリセルデータを検知するセンス回路S/A0と、ビット1のメモリセルデータを検知するセンス回路S/A1で、各々選択されたビット線の電位(V_{IN})と比較される。またメモリセルアレイ2と3の間に配置された第1のダミービット線の電位(V_{R1})は、ビット2のメモリセルデータを検知するセンス回路S/A2とビット3のメモリセルデータを検知するセンス回路S/A3で各々選択されたビット線の電位(V_{IN})と比較される。同様に、2本の第2のダミービット線のうち、メモリセルアレイ0と、メモリセルアレイ1の間に配置された第2のダミービット線の電位(V_{R2})は、センス回路S/A0とセンス回路S/A1で、またメモリセルアレイ2とメモリセルアレイ3の間に配置された第2のダミービット線の電位(V_{R2})はセンス回路2とセンス回路3でそれぞれ選択されたビット線の電位と比較され

ト線負荷トランジスタQ102が形成されている。メモリセルのデータは、第3のセンスアンプで第1のセンスアンプと第2のセンスアンプの出力信号の電位差を比較することにより、読み出されるため、第1または第2のセンスアンプの一方の動作が遅いと誤動作が生じる。このため、第1のセンスアンプと第2のセンスアンプのセンス速度は、等しくなるように設定されるのが好ましい。この点を考慮し、第2図に示されるセンスアンプ回路では、第1のセンスアンプ1と第2のセンスアンプ2の対応するトランジスタのトランジスタサイズW/Lは等しくなるよう設計される。しかしながら第2図の実施例回路でビット線に付加されるゲート容量は、トランジスタS1とS4のゲート容量の和になり第1または第2のダミービット線に付加されるゲート容量の2倍となる。このためビット線電位V_{IN}の変化速度は、ダミービット線の電位V_{R2}の変化速度より遅くなる。ビット線が放電される時、V_{IN}の電位の変化がV_{R2}の電位の変化により遅くなるため、V_{IN}の電位がV_{R2}の電

る。この比較結果に基づき、それぞれのセンス回路からメモリセルの記憶状態に対応したデータが4ビット分出力され、このデータがそれぞれ出力バッファ0, 1, 2, 3を介して外部にビット0, 1, 2, 3の信号として出力される。S/A0～3の領域では、それぞれ第1の実施例におけるビット線の電位を所定の低いレベルに設定するバイアストラジスタQ21及びプリチャージトランジスタQ11、ビット線負荷トランジスタQ100、第1のセンスアンプ、第2のセンスアンプ、第3のセンスアンプの回路が形成されている。また、2個のリファレンス回路R0の領域ではそれぞれ第1のダミービット線の電位を所定の低いレベルに設定するバイアストラジスタQ22、プリチャージトランジスタQ13、第1のダミービット線負荷トランジスタQ101が形成される。さらに2個のR1の領域では、それぞれ第2のダミービット線の電位を所定の低いレベルに設定するバイアストラジスタQ23、プリチャージトランジスタQ15、第2のダミービッ

位より高くなる。このため第2のセンスアンプ出力信号Bがすばやく“1”レベルへ変化し誤動作を生じる。第13図の実施例ではこの問題を考慮し、上述のように第1のダミービット線の電位V_{R1}を、領域S/A0とS/A1に形成される2個の第1のセンスアンプの電圧比較トランジスタのゲートに印加しており、ビット線に付加されるゲート容量と第1のダミービット線に付加されるゲート容量が等しくなるように設定している。同様に第2のダミービット線の電位V_{R2}を、領域S/A0とS/A1に形成される2個の第2のセンスアンプの電圧比較トランジスタのゲートに印加することにより、ビット線に付加されるゲート容量と第2のダミービット線に付加されるゲート容量が等しくなるよう設定している。この結果、ビット線とダミービット線に付加される容量が等しくなり、誤動作を防止することができる。第13図の実施例は他にもさまざまな応用が可能である。

前述したように“1”のメモリセルデータを高速に読出すためには、ビット線の電位V_{IN}は第2

のダミービット線の電位 V_{R2} より先に低いレベルへと変化することが好ましい。このため行線が切り換え「1」のメモリセルが選択される場合選択されたメモリセルのゲート電位は選択された第2のダミーセルのゲート電位より高い程高速読み出しが可能となる。一般に行線はポリシリコンが材料として用いられており、行線の線幅は $1\mu\text{m}$ 以下と微細化されているため、メモリセルアレイ中の行デコーダに近いメモリセルと遠いメモリセルでは行線の電位の変化に 10ns 程度の差が生じる。このため第2のダミーセルを行デコーダからもっとも遠い位置に配置し行線が切り換わる際選択されたメモリセルのゲート電位より第2のダミービット線電位が低くなるように設定することにより、高速読み出しを実現できる。例えば、メモリセルアレイ0とメモリセルアレイ1の間に、配置される第2のダミービット線をメモリセルアレイ1と2の間に配置し、この第2のダミービット線が入力される領域R1とセンス回路の領域S/A1とを交換することにより実現できる。同様に、

メモリセルアレイ2とメモリセルアレイ3との間に配置されている第2のダミービット線をメモリセルアレイ3の右側に配置し、この第2のダミービット線が入力される領域R1とS/A3を交換することにより、ビット2とビット3についても同様の効果が得られる。

上述した第1～第6の実施例のように、本発明の半導体メモリ装置として種々な応用例が可能である。

第14図は本発明の第7の実施例を示すものである。

この実施例においては、第1図の実施例と比べて、プリチャージ用トランジスタQ11, Q13, Q15が省略されている。これは発明者らが第14図に示した半導体メモリを試作し、評価したところ、イコライズ用トランジスタQ12, Q14, Q16, Q17が V_{IN} , V_{R1} , V_{R2} を同じ電位に設定するので、メモリセルに記憶されたデータに対応して第1のセンスアンプ1及び第2のセンスアンプ2の出力信号A, Bも変化し、

正しいデータが検出されるため、プリチャージ用トランジスタQ11, Q13, Q15は必ずしも必要ないことが判明したことに基づく。

したがって、この実施例の構成では、素子数が減少し、面積効率の良い半導体メモリが提供されることになる。

さらに発明者らは第1図に示した半導体メモリを試作し、評価したところ、メモリセル毎に動作する最小の電源電圧が異なっていることが分かった。前述したように各セルが同じ構造および状態となっているはずの集積回路であっても、流れる電流がメモリセル毎に僅かずつ異なっており、オンしたダミーセルよりも少ない電流が流れるメモリセルにおいて、動作する最小電源電圧が高くなっていることが判明した。

一般に、半導体集積回路は、低い電源電圧でも動作することが望ましいが、電源電圧 V_{cc} を下げていくと信号Aと信号Bの電位差が小さくなっていくとともに、信号A, Bと電源電圧 V_{cc} との差も小さくなる。後者の差がトランジスタS5,

S6の閾電圧よりも小さくなれば、トランジスタS5, S6はオフし、動作しなくなる。この場合、電源電圧が低下していくのに伴って信号Bと電源電圧 V_{cc} との電位差が小さくなっていく速さは V_{IN} より V_{R2} の電位が低いものほど速いことが分かった。すなわち、オンしたダミーセルよりもメモリセルの電流が小さいものは、 V_{IN} よりも V_{R2} の電位の方が低いので、他のメモリセルに比べ、信号Bと電源電圧との電位差が小さくなる割合が速く、動作する電源電圧の最低値が他のメモリセルに比べて高いことが分かった。このように V_{IN} の電位は V_{R2} よりも低い方が前述したように読み出し速度は早く、さらに低い電源電圧で動作可能となる。逆に V_{IN} の電位が V_{R2} より高くなるとは電源マージンが狭まるという問題が生ずることになる。

第15図に示す本発明の第8の実施例は、上記の事情に基づいてなされたもので、メモリ電流が小さくてもより低い電源電圧まで動作する半導体メモリを提供することを目的とする。

この実施例においてはメモリセルを構成するトランジスタのチャネル長 L_1 よりも、ダミーセルを構成するトランジスタのチャネル長 L_2 を長く設定している。このようにすることで、メモリセル毎の電流値のばらつきに対して常にダミーセルの電流値の方が小さくなるようにできるので、 V_{IN} よりも V_{R2} の電位が高くなるように設定でき、このため、従来よりも信号Bと V_{cc} との電位差の小さくなる割合を少なくしている。したがって、より低い電源電圧まで動作させることが可能となる。

このような実施例においては、メモリセル電流の各メモリセル毎におけるばらつきのもっとも少ないメモリセル電流を持つものよりもダミーセルの電流が少なければ良いので、メモリセルのチャネル長に比べてダミーセルのチャネル長をそれほど長く設定する必要はなく、メモリセルのチャネル長よりも10%長い程度で良い。すなわち、メモリセルのチャネル長が $1\mu m$ であるならばダミーセルのチャネル長は $1.1\mu m$ 程度で良い。こ

分かった。

発明者らは、さらに高速動作をさせるため、第16図に示した回路においてイコライズおよびプリチャージの時間を最適化し、その上、出力バッファ回路の出力段のトランジスタサイズをより大きく設定し、外部端子の充放電時間をより短くした。このことにより、より高速動作をする半導体メモリが得られた。しかし、出力段トランジスタの電流駆動能力を大きくとったため、パッケージあるいは電源配線のインダクタンス成分により、データ出力時において、電源電圧がより大きく変動し、この電源ノイズにより“0”データを記憶したメモリセルが選択された場合に誤動作が生じるという新たな問題が生じた。この場合、発明者らの解析によれば、電源ノイズにより誤動作するのはプリチャージパルス幅の短いものであることが分かった。その理由は次のように考えられる。

一般に、ビット線のプリチャージに要する時間は、ビット線が放電状態である時にプリチャージする場合が最も長くなる。これに対して、ダミ

の場合、メモリセルとダミーセルのチャネル長に差があるすぎると V_{IN} と V_{R2} の電源ノイズに対する応答性が違い、誤動作の原因となるので、あまり差をつけすぎるのは好ましくない。

この実施例によれば、電圧マージンの大きい半導体メモリを提供することができる。

第16図は本発明の第9の実施例を示すもので、第1図に示したトランジスタ Q_{24} 、 Q_{25} で作った固定バイアス方式に代えて、インバータ I_1 、 I_2 、 I_3 による周知のフィードバックバイアス回路を用いたものである。

この回路を試作し、評価した結果、第16図に示すフィードバックバイアス回路を用いたものの方が、第1図に示す固定バイアス回路を用いたものよりもビット線あるいはダミービット線のプリチャージに要する時間が短くて済んだ。このため、アドレスが入力されてから、データが出力されるまでの時間は第16図に示したフィードバックバイアス方式の方が固定バイアス方式よりも短くすることができ、より高速動作が可能であることが

ビット線 DBL_1 はすでに充電状態にあるため、プリチャージに要する時間は短くて済む。プリチャージが終了して“0”データが出力される時、電源電圧が変動すると、インバータ I_1 、 I_2 、 I_3 の出力も電源変動の影響を受けて変動する。この時、電源電圧 V_{cc} が低下しインバータ I_2 の出力が“0”方向に変動するためトランジスタ Q_{21} 、及びトランジスタ Q_{22} の導通抵抗が大きくなる。ビット線 BL はプリチャージに要する時間が長いので、トランジスタ Q_{21} の抵抗が大きくなるために完全にプリチャージ状態とはなっていないが、ダミービット線はプリチャージ時間が短くても充分プリチャージされる。このことにより、 V_{IN} と V_{R1} との間に電位差が生ずる。すなわち、イコライズ終了後、 V_{IN} の電位が V_{R1} より低くなり、第1のセンスアンプが間違ったデータを出し、これにより誤動作していた。

以下に示す実施例はこのような事情から電源ノイズにより誤動作しない高速動作可能な半導体メモリを提供するものである。

第17図は第16図の実施例において用いたインバータ11～13を示す回路記号で、第18図はその回路構成を示している。このインバータを構成するトランジスタN1の閾電圧あるいはPチャネルトランジスタN2とNチャネルトランジスタN1の寸法の比を変えることでビット線の電位を最適化することができる。例えば、N1の閾電圧は0V程度が望ましい。

第19図は第16図の実施例において用いたインバータを改良することにより、上述した誤動作の対策を行なったもので前述した第18図のインバータの電源とN2との間に定電流源C1を挿入したものである。このような構成では出力バッファからデータが出力される時、電源電圧Vccが変動しても、定電流源C1が存在するため電流値は不変で、インバータの出力OUTが変動せず、上述したような誤動作は生じない。

第20図は定電流源としてデプレッション型トランジスタN3を用いたもので、ソースとゲートとを接続することにより定電流特性を得ている。

チャネルトランジスタN9、N10、N11を電源Vccと接地間に接続しており、nチャネルトランジスタN12およびしきい値がほぼ0VのnチャネルトランジスタN13を飽和領域で動作させることにより、定電流特性を実現している。このため電源電圧Vccが変動しても流れる電流は変動せず、インバータの出力OUTも変動しない。したがって、上述した誤動作も生じない。

このように、これらの実施例では電源電圧の変動があってもフィードバックバイアス回路のインバータ11～13の出力が変動しないので、プリチャージ時間を短くすることができ、これにより動作が速く、誤動作のない半導体メモリを提供することができる。

第25図はフィードバックバイアス回路のさらに他の実施例を示す回路図である。

本実施例のフィードバックバイアス回路は入力ビット線BLに接続され出力がトランジスタQ21のゲート電極に接続された第一のインバータ回路と、入力がビット線BLに接続され、出力が

第21図は第20図に示されたトランジスタN3のゲートを接地したもので、トランジスタN3が飽和領域で動作するため、定電流特性が得られる。

第22図はPチャネルトランジスタN4を定電流特性で用いたものである。この実施例ではそれぞれドレインとゲートを接続したPチャネルトランジスタN5、N6、デプレッショントランジスタN7を直列に接続したものを電源Vccと接地間に接続し、トランジスタN4のゲートをトランジスタN6とN7の接続点に接続している。この場合、トランジスタN4のゲート電圧は $V_{cc} - |V_{thn5}| - |V_{thn6}|$ となり電源電圧の変動とともに、トランジスタN4のゲート電圧も同様に变化するため、定電流特性を得ている。

V_{thn5} 及び V_{thn6} はそれぞれトランジスタN5及びN6のしきい電圧である。

第23図、第24図はゲートとソースが接続されたNチャネルデプレッション型トランジスタN8と、ゲートとドレインが接続された3つのN

初期充電用トランジスタQ60のゲート電極に接続された第二のインバータ回路より構成される。第一のインバータ回路はPチャネルトランジスタQ64、Q71としきい値電圧がほぼ0VのNチャネルトランジスタQ73より構成される。また第二のインバータ回路はPチャネルトランジスタQ63、Q70としきい値がほぼ0VのNチャネルトランジスタQ72の直列接続回路より構成される。NチャネルトランジスタQ61、Q62はそれぞれ第二、第一のインバータの出力とGroundとの間に接続される。PチャネルトランジスタQ63、Q64とNチャネルトランジスタQ61、Q62はチップが待機状態の時、チップの消費電力を削減する目的で使用される。初期充電用トランジスタQ60はビット線の高速充電のため使用されるもので、ビット線の充電が開始されてNチャネルトランジスタQ21がしゃ断するより先に、初期充電用トランジスタQ60がしゃ断するように、第二のインバータの出力電位は第一のインバータの出力電位より低くなるよう設定される。このよ

うに、フィードバックタイプバイアス回路で初期充電用トランジスタを使用することにより、0Vから所定電位までのビット線の充電時間をさらに短縮化することが可能となった。

第26図は本発明の第10の実施例を示すもので、第25図に示したビット線バイアス回路の半導体記憶装置内でのセンスアンプ等と接続構成を示す。第1のダミービット線DBL1及び第2のダミービット線DBL2のバイアス回路にも第25図と同様の構成のバイアス回路を使用することにより、メモリセルの“0”データ読出し時のビット線電位と第1のダミービット線の電位、及びメモリセルの“1”データ読出し時のビット線電位と第2のダミービット線の電位が等しくなり、読出し速度を高速にすることができる。

第27図は第26図のビット線バイアス回路の他の実施例を示すもので、第25図の第1のインバータを構成しているPチャネルトランジスタQ71をゲート電極がソース電極に接続されたデプレッション型NチャネルトランジスタQ75に、

また第2のインバータを構成しているPチャネルトランジスタQ70をゲート電極がソース電極に接続されたデプレッション型NチャネルトランジスタQ74に置換えたものである。また第28図はバイアス回路のさらに他の実施例を示すもので、第25図のPチャネルトランジスタQ71をゲート電極がドレイン電極に接続されたしきい値電圧がほぼ0VのNチャネルトランジスタQ79に、またPチャネルトランジスタQ70をゲート電極がドレイン電極に接続されたしきい値電圧がほぼ0VのトランジスタQ78に置換えたものである。

このように第1のインバータと第2のインバータには第20図～第24図に示したインバータの他に従来技術で使用した種々のタイプを使用することが可能である。

第30図にビット線が切替わり、新しく選択されたビット線が充電される際のビット線電位変化(BL)と、第25図及び第26図に示されたフィードバックバイアス回路の第1のインバータの出力の電位変化を実線で示す。第30図において

時間t0で新しく選択されたビット線BLの充電が開始されると、このビット線BLの低い電位に対応して第1のインバータの出力電位は上昇する。時間t1でビット線はデータ“1”が記憶されたメモリセルが選択された時のビット線電位まで充電されるが、インバータの入力に対するインバータ出力の応答速度の遅れにより、このとき第1のインバータの出力電位は“1”のメモリセル(“1”セル)が選択された時の例えば第30図の時刻t3の時の所定の安定した電位より高い電位である。このためビット線は第30図に示した時刻t3の時の“1”セルが選ばれた時の所定の安定電位以上に充電され、第1のインバータの出力電位は低下しビット線は充電されない。選択されたメモリセルにより、ビット線は徐々に放電されるが、ビット線の容量が大きいため時間t3ではじめて“1”セル選択時のビット線電位に回復する。このようにビット線が所定の安定電位に達してもさらに余分に充電が行われ(過充電)るため、“1”データの読出し速度が遅くなるという問題

がある。このため第29図に示す第10の実施例ではカラムゲートトランジスタのドレイン電極とビット線バイアス回路の入力(BLD)間にゲートがVccに接続されたデプレッション型NチャネルトランジスタQ50を挿入している。

第30図に破線で示した電圧波形が、第29図における、ビット線の電位、ビット線バイアス回路の入力電位と、第1のインバータの出力電位である。ここでビット線バイアス回路の入力電位をBLDで示す。

第29図におけるトランジスタQ50は抵抗として動作するため、新しく選択されたビット線BLを充電するとき、このトランジスタQ50のドレイン(BLD)とソースとの間には電位差が生じる。

すなわち、ビット線が切り替わり、新しく選択されたビット線が充電されるとき、ビット線の電位(トランジスタQ50のソース側)より、ビット線バイアス回路の入力端の電位は高くなる。

このためビット線バイアス回路の入力端がデー

タ“1”のメモリセル選択時の安定したビット線電位以上まで余分に充電されても、ビット線BLは、データ“1”のメモリセル選択時の安定したビット線電位まで充電されない。

さらにビット線バイアス回路の入力端が、余分に充電されたあとで、ビット線バイアス回路の入力端は充電されなくなる。このとき、ビット線バイアス回路の入力端の電位は、ビット線BLより高い電位となっているため、ビット線バイアス回路の入力端の余分に充電された電荷によりビット線BLがさらに充電され、ビット線バイアス回路の入力端とビット線BLの電位は、データ“1”のメモリセルが選択された場合の安定した電位となる。

デプレッション型トランジスタQ50を挿入することにより、ビット線バイアス回路の入力端の電位を、デプレッション型トランジスタQ50が挿入されていない場合のビット線バイアス回路の入力端の電位より速く上昇させることができるため、ビット線とバイアス回路の第1のインバータ

の出力電位はデプレッション型トランジスタQ50が挿入されることにより従来より速く低下する。

例えば第30図に示すように、第1のインバータの出力電位が低下し、トランジスタQ21を介してのビット線の充電がなくなるまでの時間は、デプレッション型トランジスタQ50を挿入することにより(2-12)だけ高速になる。ビット線バイアス回路の第1のインバータの応答速度の遅れによるビット線の過充電を防止し、ビット線BLの電位が、データ“1”のメモリセル選択時の安定したビット線電位になるまでの時間を短縮化できる。

このようにビット線バイアス回路の入力端とビット線BL間にゲートをVccに接続したデプレッション型トランジスタを挿入し、ビット線BLと、ビット線バイアス回路の入力端との間に電位差を生じさせることにより、ビット線BLの過充電が防止され、高速読出しが可能となる。

第29図の実施例では、さらにデプレッション

型トランジスタをダミービット線DBL1、

DBL2とビット線バイアス回路12、13間にそれぞれ挿入することにより、メモリセルの“0”データ読出し時のビット線と第1のダミービット線の電位及びメモリセルの“1”データ読出し時のビット線と第2のダミービット線の電位を等価にして読出し動作を安定化させている。

第31図は第29図に示す実施例においてデプレッション型トランジスタQ50のゲート入力を書込みコントロール信号Hとしたものである。通常EPROMではメモリセルへ“0”データを書込む場合、書込み回路によりビット線に9V程度の高電圧が印加される。

本実施例回路では書込み時に0Vとなる信号Hをデプレッション型トランジスタQ50のゲート電極に供給することにより、バイアス回路に高電圧が印加されるのを防止している。またメモリセルのデータ読出し時にこの信号Hは電源Vccの電位となるため、第2図実施例で説明したビット線過充電によるデータ読出し速度が遅くなる問題も

解決している。

第32図は第29図に示す実施例の変形例であって第29図に示した回路の容量C1、C2をダミービット線DBL1a、DBL2aで構成したものである。この実施例ではこれらの追加ダミービット線に接続されるダミーセルDM11a、DM21a、DM12a、DM22a、…の個数を調整することにより、メモリセル側のカラムゲートCG1、CG2、…に存在する寄生容量を補償し、ビット線とダミービット線の負荷容量を等しく設定している。

第33図は本発明の第11の実施例を示す回路図であり、本発明のメモリ装置におけるイコライズ方式を説明するものである。この実施例ではビット線BLとダミービット線DBL2との間のイコライズを行うトランジスタQ200、Q201が追加されている。

第33図に示した半導体メモリにおいて、例えばビット線BLと第1のダミービット線DBL1と第2のダミービット線DBL2が共にイコライ

ズされた場合について考える。この場合にトランジスタQ12, Q14, Q201及びQ16, Q17, Q200にて接続される経路を簡略図で示すと、第34図(A)のようになる。

第34図(A) - 第34図(D)を用いて“0”データが読出される場合と“1”データが読出される場合について、各ビット線の電位変化について以下に説明する。

まず、選択されたメモリセルが、“0”データを記憶している場合を考える。この場合、このメモリセルおよび第1のダミーセルはオフしており、第2のダミーセルがオンしているため、ビット線BL、第1、第2のダミービット線DBL1, DBL2のうち、オン状態のメモリセルが、接続されているのは、第2のダミービット線だけである。このためビット線及び第1のダミービット線から、第2のダミービット線へ流れる電流経路が形成される。

イコライズが完了した後、ビット線BL、第1のダミービット線DBL1、第2のダミービット

第1のダミービット線DBL1の電位よりビット線BLの電位の方が低いとデータの検知は遅くなる。“1”データを検知する場合に第2のダミービット線DBL2の電位よりビット線BLの電位の方が高いとデータの検知は遅くなる。

前述したように、第34図(A)において、メモリセルと第1のダミーセルとは、ともにオフ状態であるため、電気的に第34図(A)のA-A'線で対称関係にある。

このため、ビット線BLから第2のダミービット線DBL2へ流れる電流値と、第1のダミービット線DBL1から第2のダミービット線DBL2へ流れる電流値とは等しく、I1の値を持つ。

また、ビット線BL及び第1のダミービット線DBL1から流れ出す電流は等しい値を持つので、“0”データのメモリセルが選択された時のビット線BLの電位と第1のダミービット線DBL1の電位とは等しい。すなわち、“0”データを検知する場合に、イコライズ完了時、第1のダミービット線DBL1の電位よりビット線の電位の方

線DBL2の電位は、それぞれメモリセル、第1、第2のダミーセルに記憶されたデータに対応して変化する。第1、第2及び第3のセンスアンプはビット線BL、第1、第2のダミービット線DBL1、DBL2上の電位の変化を検知して、メモリセルに記憶されたデータを検知する。

より速くメモリセルに記憶されたデータを検知するためには、第1、第2及び第3のセンスアンプの詳細な回路構成から理解されるように、メモリセルに記憶されている“0”データ(メモリセルがオフ)を検知する場合は、イコライズが完了された時、第1のダミービット線DBL1の電位より、ビット線BLの電位の方が高いことが望ましい。逆に、メモリセルに記憶されている“1”データ(メモリセルがオン)を検知する場合は、イコライズが完了した時第2のダミービット線DBL2の電位より、ビット線BLの電位の方が低いことが望ましい。

これに対し、メモリセルに記憶されている“0”データを検知する場合に、イコライズ完了時に、

が低くなることがないので、データの検知は遅くならない。

次に、選択されたメモリセルが“1”データを記憶している場合について考える。

この場合、このメモリセルおよび第2のダミーセルは、オンしており、第1のダミーセルは、オフにいたるため、第34図(A)に示したようにB-B'線をはさんで、電気的に対称な状態となる。このため、ビット線BLに流れ込む電流値と、第2のダミービット線DBL2へ流れ込む電流値は共にI2であり等しいので、“1”データのメモリセルが選択された時のビット線の電位と第2のダミービット線DBL2の電位とは等しい。すなわち、“1”データを検知する場合に第2のダミービット線DBL2の電位よりビット線BLの電位の方が高くなることがないのでデータの検知は遅くならない。

以上のように、第33図の構成で第34図(A)のようなイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であ

っても“1”であってもデータ検知速度は遅くならない。

また、他のイコライズ方法を第34図(B)～(D)の簡略図を用いて説明する。

まず、第34図(B)のようにビット線BLと第2のダミービット線DBL2との間にトランジスタQ200、Q201を接続しなかった場合を考える。

選択されたメモリセルが“0”データを記憶している場合、このメモリセルはオフしているので、オンされている第2のダミーセルのみを通して、電流が流れる。このため、電流経路は①となり、ビット線BL→第1のダミービット線DBL1→第2のダミービット線DBL2の順に電流が流れる。この結果、ビット線BLの電位は第1のダミービット線DBL1の電位より高くなる。前述したように、“0”データを読む場合にはビット線BLの電位が第1のダミービット線DBL1の電位よりも高い方がリードマージンが上がる。

選択されたメモリセルが“1”データを記憶し

ている場合は、第34図(A)の場合と同様にB-B'線で電気的に対称となり、第34図(A)で説明したのと同じ効果が得られる。

以上の様に、第34図(B)のようなイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であっても、データ検知速度は遅くならない。

次に、第34図(C)のようにビット線BLと第1のダミービット線との間にトランジスタQ16、Q12を接続しなかった場合について考える。

選択されたメモリセルが“0”データを記憶している場合は、第34図(A)に示したようにA-A'線をはさんで電気的に対称になるため、第34図(A)と同様の効果が得られる。

選択されたメモリセルが“1”データを記憶している場合は、このメモリセルはオンしており、電流経路は②となって第1のダミービット線DBL1→第2のダミービット線DBL2→ビット線BLの順に電流は流れる。この結果、ビット

線BLの電位は第2のダミービット線よりも低くなる。前述したように、“1”データを読む場合には、ビット線BLの電位が第2のダミービット線よりも低い方がリードマージンが上がる。

以上の様に、第34図(C)のようなイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であっても、データ検知速度は遅くならない。

第34図(D)は、第1のダミービット線DBL1と第2のダミービット線DBL2との間にトランジスタQ17、Q14を接続しない場合である。

第34図(D)においては、選択されたメモリセルが、“0”データを記憶していても、“1”データを記憶していても電流経路は③となり、選択されたメモリセルが“0”データを記憶している時は、ビット線BLは、第1のダミービット線DBL1の電位よりも低くなり、選択されたメモリセルが“1”データを記憶している時は、ビット線BLは、第2のダミービット線よりも高くな

る。

前述した理由により、第34図(D)の場合は、メモリセルに記憶されているデータが“0”あるいは“1”のどちらでも読出し動作はマージンのない方向に働く。

現実の読出し動作においてはイコライズ時間を十分にとっているため、各ビット線の電位差が非常に小さい。このため、上記のように第34図(A)～(D)のイコライズ方法の違いによる差は現れない。

しかし、さらに高速動作を求める場合には、イコライズ時間を短くする必要があり、この場合には、上記の様にイコライズ方法の違いによる差が現われるためイコライズ方法は第34図(A)～(C)のいずれかの方式にしておくことが望ましい。

また、トランジスタQ12、Q14、Q201の組と、トランジスタQ16、Q17、Q200の組の両方が、第34図(A)～(C)の接続をとる必要はなく、上記組のいずれか一方のみに適

用するだけでもよく、第34図(A)～(C)を上記組毎に異なるように組み合わせて使用してよい。

次に、第35図のように、2ビットに対し、第1のダミービット線DBL1と、第2のダミービット線DBL2を1本ずつ配置した場合のイコライズ方法を考える。

第36図は、本発明の第11の実施例を示す回路図であって、第35図の2ビット分についての詳細な回路図である。

この実施例では各線間を接続するトランジスタQ16, Q17, Q200, Q16', Q17', Q200'及びQ12, Q14, Q201, Q12', Q14', Q201'が設けられ、これらを適宜動作させることにより各線間をイコライズすることが可能である。

第36図に示した半導体メモリにおいて、例えば、第1のビット線1BLと第2のビット線2BLと第1のダミービット線DBL1と第2のダミービット線DBL2とが、イコライズされた場合について考える。このとき接続される経路を

ット線DBL2の関係は、おのおの電気的に等しい状態になっている。

この状態をわかりやすくするために第37図(1)を変形すると、第37図(1-0)のようになる。第1のビット線1BLから第2のダミービット線DBL2に流れる電流と、第2のビット線2BLから第2のダミービット線DBL2に流れる電流と、第1のダミービット線DBL1から第2のダミービット線に流れる電流とはそれぞれ等しい。したがって、第1のビット線1BL、第2のビット線2BL及び、第1のダミービット線DBL1から流れ出す電流は等しい値を持つので、第1のビット線1BLの電位と第2のビット線2BLの電位と、第1のダミービット線DBL1の電位とは、等しい。すなわち、第1のビット線1BLと第2のビット線2BLに接続されている選択されたメモリセルとが、共に'0'データを記憶する場合に、第1のダミービット線DBL1の電位より、第1のビット線1BLの電位と第2のビット線2BLの電位の方が、低くなることにな

間略図で示すと、第37図(1)のようになる。

第37図(1)の場合について、以下に説明する。

まず、第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に'0'データを記憶している場合について、考える。

これらのメモリセルは、オフしているため、第1のビット線1BL、第2のビット線2BL、第1のダミービット線DBL1、第2のダミービット線DBL2の内、オン状態のメモリセルが接続されているのは、第2のダミービット線だけである。このため、第1のビット線1BL及び第2のビット線2BL及び第1のダミービット線DBL1から、第2のダミービット線へ流れる電流経路が形成される。第1のビット線1BLと第2のダミービット線DBL2の関係と、第2のビット線2BLと第2のダミービット線DBL2の関係と、第1のダミービット線DBL1と第2のダミービ

いので、データの検知は遅くならない。

また、第37図(1-0)より明らかなように第1のビット線1BLと第2のビット線2BLと第1のダミービット線DBL1の電位は等しいため第37図(1-0)図のA、B、Cの経路に沿って流れる電流はない。経路A、B、Cに沿って流れる電流はないため、経路A、B、Cのどの1つの以上の経路を取り除いても、第1のビット線1BLと、第2のビット線2BLと第1のダミービット線DBL1の電気的狀態は、経路A、B、Cを接続した時と変わらない。すなわち、選択された2つのメモリセルに記憶されたデータが、ともに'0'の場合は、経路A、B、Cがあっても、なくても同じ電気的狀態となる。

次に、第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に'1'データを記憶している場合について、考える。これらのメモリセルは、オンしているため、第1のダミービット線DBL1から、第1のビッ

ト線1BL及び第2のビット線2BL及び第2のダミービット線DBL2へ流れる電流経路が形成される。第1のビット線1BLと第1のダミービット線DBL1の関係と、第2のビット線2BLと第1のダミービット線DBL1の関係と、第2のダミービット線DBL2と第1のダミービット線DBL1の関係は、おのおの電氣的に等しい状態になっている。この状態をわかりやすくするために第37図(1)を変形すると、第37図(1-1)のようになる。このため、第1のダミービット線DBL1から第1のビット線1BLに流れる電流と、第1のダミービット線DBL1から第2のビット線1BLに流れる電流と、第1のダミービット線DBL1から第2のダミービット線DBL2に流れる電流とは、等しい。第1のビット線1BLに流れ込む電流と、第2のビット線2BLに流れ込む電流と、第2のダミービット線DBL2に流れ込む電流とは等しい値を持つので、第1のビット線1BLの電位と第2のビット線2BLの電位と、第1のダミービット線DBL1の

電位とは等しい。すなわち、第1のビット線1BLと第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶する場合に、第2のダミービット線DBL2の電位よりも、第1のビット線1BLの電位と第2のビット線2BLの電位の方が、高くなることはないで、データの検知は遅くならない。また、第37図(1-1)より明らかなように、第1のビット線1BLと第2のビット線2BLと第2のダミービット線DBL2の電位は等しいため、第37図(1-1)図のD、E、Fの経路に沿って流れる電流はない。経路D、E、Fに沿って流れる電流はないため、経路D、E、Fのどの1つの以上の経路を取り除いても、第1のビット線1BLと、第2のビット線2BLと第1のダミービット線DBL1の電氣的状態は、経路D、E、Fを接続した時と変わらない。すなわち、選択された2つのメモリセルに記憶されたデータが、ともに“1”の場合は、経路D、E、Fがあっても、なくても同じ電氣的状態となる。

次に、第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、オンするメモリセルが接続されているのは、第1のビット線1BLと、第2のダミービット線DBL2である。このため、第2のビット線2BLから第1のビット線1BLと第2のダミービット線へ流れる電流経路と、第1のダミービット線DBL1から第1のビット線1BLと第2のダミービット線DBL2へ流れる電流経路が形成される。第2のビット線2BLと第1のビット線1BL及び第2のダミービット線DBL2の関係と、第1のダミービット線DBL1と第1のビット線1BL及び第2のダミービット線DBL2の関係とは、おのおの電氣的に等しい状態になっている。この結果、第2のビット線2BLから第1のビット線1BLと第2のダミービット線DBL2に流れる電流と、第1のダミービット線DBL1から第1のビット線

1BLと第2のダミービット線DBL2に流れる電流とは、等しい。第1のビット線1BLに流れ込む電流と、第2のダミービット線DBL2に流れ込む電流とは等しい値を持つので、第1のビット線1BLの電位と第2のダミービット線DBL2の電位とは等しい。すなわち、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも高くなることはないで、データの検知は遅くならない。また、第2のビット線2BLから流れ出す電流と、第1のダミービット線DBL1から流れ出す電流とは等しい値を持つので、第2のビット線2BLの電位と第1のダミービット線の電位DBL1とは等しい。すなわち、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなることはないで、データの検知は遅くならない。

第1のビット線1BLに接続されている選択さ

れたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合も同様で、共にデータの検知は遅くならない。

以上のように、第37図(1)のようなイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であってもデータの検知は遅くならない。

第37図(2)に示すようにイコライズした場合について、以下に説明する。

まず、第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルが、共に“0”データを記憶している場合について考える。これは第37図(1-0)からCの経路を省略した形となっており、第1のビット線1BLと、第2のビット線2BLと第1のダミービット線DBL1の電位は等しい。第1のダミービット線DBL1の電位より、第1のビット線1BLの電位と第2のビット線2BLの電位の方が、低くな

2BLとから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。前述したように、“1”データを読む場合には、ビット線の電位が第2のダミービット線よりも低い方が、リードマージンが上がる。また、第2のビット線2BLから、第2のダミービット線DBL2に電流が流れる。第1のビット線1BLから、第2のダミービット線DBL2と第1のビット線1BLとに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。前述したように、“0”データを読む場合には、ビット線の電位が第1のダミービット線よりも高い方が、リードマージンが上がる。第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリ

ることがないので、データの検知は遅くならない。

次に、第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。これは第37図(1-1)からFの経路を省略した形となっており、第1のビット線1BLと、第2のビット線2BLと第2のダミービット線DBL2の電位は等しい。第2のダミービット線DBL2の電位より、第1のビット線1BLの電位と第2のビット線2BLの電位の方が高くなる。ことがないので、データの検知は遅くならない。

次に、第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに第1のダミービット線DBL1から電流が流れる。第2のダミービット線DBL2に、第1のダミービット線DBL1と第2のビット線

セルが“1”データを記憶している場合も同様で、共にリードマージンが上がる。

以上のように第37図(2)のようなイコライズ方法を採用することによりメモリセルに記憶されているデータが“0”であっても“1”であってもデータの検知は遅くならない。

第37図(3)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合を考える。これは第37図(1-0)から、Aの経路を省略した形となっており、第1のビット線1BLと、第2のビット線2BLと第2のダミービット線DBL2の電位は等しい。第1のダミービット線DBL1の電位より、第1のビット線1BLの電位と第2のビット線2BLの電位の方が低くなる。ことがないので、データの検知は遅くならない。

第1のビット線1BLに接続されている選択さ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のビット線2BLと第2のダミービット線DBL2に第1のダミービット線DBL1から電流が流れる。第1のビット線1BLには第1のダミービット線DBL1から直接電流は流れない。この結果、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がる。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第2のダミービット線DBL1から電流が流れる。第2のダミービット線DBL2に、第1のダミービット線DBL1と第2のビット線2

BLとから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がる。また、第2のビット線2BLから、第2のダミービット線DBL2と第1のビット線1BLとに電流が流れる。第1のダミービット線DBL1から、第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。この場合には前述した理由からリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のビット線2BLと第2のダミ

ービット線DBL2に電流が流れる。第1のダミービット線DBL1から、第2のビット線2BLと第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位とは等しく、前述の理由で、データの検知は遅くならない。また、第2のビット線2BLには、第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。第2のダミービット線DBL2に、第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位とは等しく、前述の理由でデータの検知は遅くならない。

第37図(4)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択さ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第2のビット線2BLと第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れるが、第1のビット線1BLは直接第2のダミービット線DBL2には電流が流れない。このため、第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。したがって前述した理由でリードマージンが上がる。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶する場合を考える。これは第37図(1-1)からDの経路を省略した形となっており、第1のビット線1BLと、第2のビット線2BLと第2のダミービット線DBL2の電位は等しい。第2のダミービット線DBL2の電位より

も第1のビット線1BLの電位と第2のビット線2BLの電位の方が高くなることはないで、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第2のビット線2BLと第1のダミービット線DBL1から電流が流れる。第2のダミービット線DBL2にも、第2のビット線2BLと第1のダミービット線DBL1から電流が流れる。このため、第1のビット線1BLの電位と第2のダミービット線DBL2の電位とは等しく、前述した理由でデータの検知は遅くならない。また、第2のビット線2BLから第1のビット線1BLと第2のダミービット線DBL2とに電流が流れ、第1のダミービット線DBL1からも、第1のビット線1BLと第2のダミービット線DBL2とに電流が流れる。この結果、接続され

ている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、前述した理由でデータの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLに電流が流れ、第1のダミービット線DBL1から第2のビット線2BLと第2のダミービット線DBL2とに電流が流れる。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって前述した理由でリードマージンが上がる。また、第2のビット線2BLに第1のビット線1BLと第1のダミービット線DBL1から電流が流れるが、第2のダミービット線DBL2には、第1のダミービット線DBL1から電流が流れる。この結果、第2のビット線

2BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でこの場合はリードマージンの無い方向に働く。

第37図(5)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶する場合について考える。この場合、第1のビット線1BLと第2のビット線2BLからは、第2のダミービット線DBL2に電流が流れるが、第1のダミービット線DBL1からは、第2のダミービット線DBL2に直接電流が流れない。この結果、第1のビット線1BLの電位と、第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でこの場合はリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続

されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLには、第1のダミービット線DBL1から電流が流れるが、第2のダミービット線DBL2は、第1のダミービット線DBL1から直接電流が流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線DBL2の電位も高くなる。したがって、前述した理由でこの場合はリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLには第1のダミービット線DBL1と第2のビット線2BLから電流が流れるが、第2のダミービット線DBL2には、第1のダミービット線DBL1にのみ電流が流れる。この結果、接続

されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも、高くなる。したがって前述した理由からリードマージンの無い方向に動く。また、第2のビット線2BLから、第2のダミービット線DBL2と第1のビット線1BLに電流が流れるが、第1のダミービット線DBL1からは、第1のビット線1BLにのみ電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも、低くなる。したがって前述した理由でこの場合はリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のビット線2BLと第2のダミ

ービット線DBL2に電流が流れる。第1のダミービット線DBL1からは第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。前述した理由で、この場合はリードマージンの無い方向に動く。また、第2のビット線2BLには、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には、第1のビット線1BLからのみ電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。前述した理由により、この場合は、リードマージンの無い方向に動く。

第37図(6)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続

されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第1のダミービット線DBL1には第2のダミービット線DBL2に電流が流れるが、第2のビット線2BLから第2のダミービット線DBL2には直接電流が流れない。この結果、第1のビット線1BLの電位と、第1のダミービット線DBL1の電位は等しく、第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。したがって、前述した理由でこの場合、第1のビット線1BLも第2のビット線2BLも、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のビット線2BLと第2のダミービット線DBL2には第1のダミービット線DBL1から電流が流れるが、第1のビット線1BLに

は第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなり、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しい。したがって、前述した理由でリードマージンが上がるため、この場合、第1のビット線1BLも第2のビット線2BLも、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLには、第2のビット線2BLから電流が流れ、第2のダミービット線DBL2には第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等

しく、データの検知は遅くならない。また、第2のビット線2BLから、第1のビット線1BLに電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1からも第2のビット線2BLと第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1

の電位と等しく、データの検知は遅くならない。また、第2のビット線2BLには、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2にも、第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。このため、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位とは等しく、データの検知は遅くならない。

以上のように、第37図(6)のようなイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であってもデータの検知は遅くならない。

第37図(7)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶する場合について考える。この場合、

第37図(1-0)からBの経路と、Cの経路を省略した形となっており、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しくなり、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れるが、第2のビット線2BLには第1のダミービット線DBL1から直接電流は流れない。この結果、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、この場合、データの検知は遅くならない。しかし、第1のビット線1BLの電位と第2のダミービット線DBL2の電位が上がったときは、第2のダミービット線DBL2から

は第2のビット線2BLに電流が流れるが、第1のビット線1BLから第2のビット線2BLに直接電流は流れない。従って、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。このため、リードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には、第1のダミービット線DBL1と第2のビット線2BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。また、第

2のビット線2BLからは、第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1からは、第2のダミービット線DBL2と第1のビット線1BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、この場合、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について、考える。この場合、第1のビット線1BLから、第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1からも第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線

1BLの電位は第1のダミービット線DBL1の電位と等しく、データの検知は遅くならない。また、第2のダミービット線DBL2には、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のビット線2BLには第1のビット線1BLと第1のダミービット線DBL1から直接電流は流れない。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。

したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第37図(8)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶する場合について考える。この場合、第1のビット線1BLと第1のダミービット線DBL1から第2のダミービット線DBL2に電

流が流れるが、第1のビット線1BLには、その電位が下がってくると第2のビット線2BLから電流が流れる。

このため、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。また、第2のビット線2BLの電位は、第1のビット線1BLの電位より高いため、第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。したがって、前述した理由でリードマージンが上がるため、この場合、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れるが、第1のビット線1BLからは、その電位が上がってくると第2のビット線2BLに電流が流れる。

このため、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より低くなる。また、第2のビット線2BLの電位は、第1のビット線1BLの電位より低いため、第2のダミービット線DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がるため、この場合、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第2のビット線2BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れる。このため、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由によりこの場合、リー

ドマージンの無い方向に働く。また、第2のビット線2BLから第1のビット線1BLに電流が流れ、第1のダミービット線DBL1からは、第1のビット線1BLと第2のダミービット線DBL2に電流が流れる。このため、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から、第2のダミービット線DBL2に電流が流れる。このため、接続されている選択されたメモリセルが“0”データを記憶

している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でこの場合、リードマージンの無い方向に働く。また、第2のビット線2BLに、第1のビット線1BLから電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。このため、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第37図(9)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のダミービット線DBL1からは第2

のダミービット線DBL2に電流が流れるが、第1のビット線1BLと第2のビット線2BLからは第2のダミービット線DBL2に直接電流が流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第37図(1-1)のDの経路とEの経路を省略した形となっており、第1のビット線1BLの電位と第2のビット線2BLの電位と、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択され

たメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第2のビット線2BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でこの場合、リードマージンの無い方向に働く。また、第2のビット線2BLから第1のビット線1BLに電流が流れ、第1のダミービット線DBL1から、第1のビット線1BLと第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でこの場合リードマージンが上がるため、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のビット線2BLに電流が流れ、第1のダミービット線DBL1からは、第2のビット線2BLと第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも高くなる。したがって前述した理由でリードマージンが上るためデータの検知は遅くならない。また、第2のビット線2BLに、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には、第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は第2の

ダミービット線DBL2の電位より高くなる。したがって前述した理由でこの場合リードマージンの無い方向に働く。

第37図(10)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のダミービット線DBL2に電流が流れるが、第1のダミービット線DBL1と第2のビット線2BLから第2のダミービット線DBL2には電流が流れない。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。なお、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続

されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLには、第1のダミービット線DBL1から電流が流れるが、第2のダミービット線DBL2には、第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由で第1のビット線1BL、第2のビット線2BLとも、リードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第2のビット線2BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には、第2のビット線2BLから

第1のダミービット線DBL1からも直接電流が流れない。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でこの場合、リードマージンの無い方向に働く。また、第2のビット線2BLから、第1のビット線1BLに電流が流れ、第1のダミービット線DBL1からも、第1のビット線1BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから、第2のビット線2BLと第2のダミ

ービット線DBL2に電流が流れ、第1のダミービット線DBL1から、第2のビット線2BLに電流が流れる。

このため、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。また、第2のビット線2BLに、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。このため、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でリードマージンの無い方向に働く。

第37図(11)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続

されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第1のダミービット線DBL1から、第2のダミービット線DBL2に電流が流れるが、第1のダミービット線DBL1には、その電位が下がってくると、第2のビット線2BLから電流が流れる。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。なお、第2のビット線2BLの電位は、第1のダミービット線よりも高いため、リードマージンは上がり、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第37図(1-1)からEの経路とFの経路を省略した形となっており、第1のビット線1BLの電位と第2のビット線2BLの電位と第

2のダミービット線DBL2の電位は、等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに、第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2にも第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。また、第1のダミービット線DBL1から、第1のビット線1BLと第2のダミービット線DBL2に電流が流れ、第2のビット線2BLからは第1のビット線1BLにも、第2のダミービット線DBL2にも直接電流は流れない。このため、接続されている選択されたメモリセルが“0”

データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。

したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について、考える。この場合、第1のビット線1BLから、第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から、第2のダミービット線DBL2と第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。第2のビット線2BLに第1のダミービット線DBL1から

電流が流れ、第2のダミービット線DBL2に第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第37図(12)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLから、第2のダミービット線DBL2に電流が流れるが、第1のダミービット線DBL1から第2のダミービット線DBL2に直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したが

たメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に第2のビット線2BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。また、第1のダミービット線DBL1から第1のビット線1BLに電流が流れ、第2のビット線2BLから第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合

について、前述した理由で第1のビット線1BL、第2のビット線2BLともリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLに第1のダミービット線DBL1から電流が流れるが、第2のダミービット線DBL2には第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由で第1のビット線1BL、第2のビット線2BLとも、リードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択され

について、考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データの検知は遅くならない。第2のビット線2BLに、第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。

第37図(13)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この

場合、第37図(1-0)のAの経路とBの経路を省略した形となっており、第1のビット線1BLの電位と第2のビット線2BLの電位と第1のダミービット線DBL1の電位は等しく、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のダミービット線DBL2には第1のダミービット線DBL1から電流が流れるが、第1のビット線1BLと第2のビット線2BLには第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、

第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに第2のビット線2BLから電流が流れ、第2のダミービット線DBL2には第2のビット線2BLと第1のダミービット線DBL1から電流が流れる。

この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。また、第2のビット線2BLから第1のビット線1BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。

したがって、前述した理由でこの場合、リードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。このため、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。

また、第2のビット線2BLには第1のビット線1BLから電流が流れ、第2のダミービット線DBL2に第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。このため、

接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がるため、データの検知は遅くならない。

第37図(14)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択さ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のビット線2BLには第1のダミービット線DBL1から電流が流れるが、第1のビット線1BLと第2のダミービット線DBL2には第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等しく、データの検知は遅くならない。しかし、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLには第2のビット線2BLから電流が流れ、第2のダミービット線DBL2にも第2のビット

線2BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位は、等しく、データの検知は遅くならない。また、第2のビット線2BLから第1のビット線1BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1からは、第1のビット線1BLにも第2のダミービット線DBL2にも直接電流が流れない。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線

ビット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。

この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位よりも低くなる。したがって、前述した理由でリードマージンの無い方向に働く。また、第2のビット線2BLには、第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも、高くなる。したがって、前述した理由でリードマージンの無い方向に働く。

第37図(15)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続

されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLから第2のダミービット線DBL2に直接電流が流れないが、第1のダミービット線DBL1からは、第2のダミービット線DBL2に電流が流れる。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より、高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLと第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れる。この結果、第37図(1-1)から、D、E、Fの経路を省略した形となっており、第1のビット線

1 B Lの電位と第2のビット線2 B Lの電位と、第2のダミービット線D B L 2の電位と等しく、データ検知は遅くならない。

第1のビット線1 B Lに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2 B Lに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1 B Lと第2のダミービット線D B L 2に第1のダミービット線D B L 1から電流が流れる。このため、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1 B Lの電位は、第2のダミービット線D B L 2の電位と等しく、データ検知は遅くならない。また、第1のダミービット線D B L 1から第1のビット線1 B Lと第2のダミービット線D B L 2に電流が流れるが、第2のビット線2 B Lからは第1のビット線1 B Lと第2のダミービット線D B L 2に直接電流が流れない。この結果、接続されている選択されたメモリセルが“0”データを

を記憶している第2のビット線2 B Lの電位は、第1のダミービット線D B L 1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第1のビット線1 B Lに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2 B Lに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のダミービット線D B L 1から第2のビット線2 B Lと第2のダミービット線D B L 2に電流が流れるが、第1のビット線1 B Lからは、第2のビット線2 B Lにも第2のダミービット線D B L 2にも直接電流は流れない。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1 B Lの電位は、第1のダミービット線D B L 1の電位より高くなる。したがって、前述した理由で、リードマージンが上がるため、データ検知は遅くならない。また、第2のビット線2 B Lと第2のダミービット線D B L 2に、第1の

ダミービット線D B L 1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2 B Lの電位は、第2のダミービット線D B L 2の電位と等しく、データ検知は遅くならない。

以上のように、第37図(15)の様なイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であってもデータの検知は遅くならない。

第37図(16)の場合について、以下に説明する。

第1のビット線1 B Lに接続されている選択されたメモリセルと、第2のビット線2 B Lに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第37図(1-0)からA、B、Cの経路を省略した形となっており、第1のビット線1 B Lの電位と第2のビット線2 B Lの電位は、第1のダミービット線D B L 1の電位と等しく、データ検知は遅くならない。

第1のビット線1 B Lに接続されている選択さ

れたメモリセルと、第2のビット線2 B Lに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のダミービット線D B L 2には第1のダミービット線D B L 1から電流が流れるが、第1のビット線1 B Lと第2のビット線2 B Lには第1のダミービット線から直接電流は流れない。この結果、第1のビット線1 B Lの電位と第2のビット線2 B Lの電位は、第2のダミービット線D B L 2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第1のビット線1 B Lに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2 B Lに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第2のダミービット線D B L 2には第2のビット線2 B Lと第1のダミービット線D B L 1から電流が流れるが、第1のビット線1 B Lには、第2のビット線2 B Lか

らも第1のダミービット線DBL1からも直接電流は流れない。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。また、第2のビット線2BLと第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について、考える。この場合、第1のビット線1BLと第1のダミービット線DBL1から、第2のダミービット線DBL2に電流が流れる。こ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れるが、第1のダミービット線DBL1には、その電位が下がってくると、第2のビット線2BLから電流が流れる。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より、低くなる。したがって、前述した理由でリードマージンの無い方向に動く。第2のビット線2BLの電位は第1のダミービット線DBL1の電位よりも高いため、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のビット線2BLと第2のダミービット線DBL2に、第1のダミービット線DBL1

の結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。また、第2のダミービット線DBL2には第1のビット線1BLと第1のダミービット線DBL1から電流が流れるが、第2のビット線2BLには、第1のビット線1BLからも第1のダミービット線DBL1からも直接電流は流れない。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

以上のように、第37図(16)の様なイコライズ方法を採用することにより、メモリセルに記憶されているデータが“0”であっても、“1”であってもデータの検知は遅くならない。

第37図(17)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択さ

から電流が流れるが、第2のダミービット線DBL2はその電位が上がってくると、第2のビット線2BLに電流が流れる。この結果、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。したがって、前述した理由でリードマージンの無い方向に動く。第1のビット線1BLの電位は第2のダミービット線DBL2の電位よりも低いため、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について、考える。この場合、第2のビット線2BL、第1のダミービット線DBL1、第2のダミービット線DBL2、第1のビット線1BLの順に電流が流れる電流経路が形成される。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2

の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。また、第2のビット線2BLは第1のダミービット線DBL1に接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも、高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2と第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダ

ミービット線DBL2には直接電流が流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンが無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、オフ状態のメモリセルが接続されているのは、第1のダミービット線DBL1だけであるので、第1のダミービット線DBL1、第2のビット線2BL、第2のダミービット線DBL2、第1のビット線1BLの順に電流が流れる。このため、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。したがって、前述した理由でリードマージンの無い方向に動く。第1のビット線1BLの電位は第2のダミービット線DBL2の電位よりも低いので、データ検知は遅くならない。

ミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。また、第2のビット線2BLに第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、この場合、データ検知は遅くならない。

第37図(18)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLから、第2のダミービット線DBL2に電流が流れるが、第1のダミービット線から第2の

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のダミービット線DBL1、第2のビット線2BL、第2のダミービット線DBL2、第1のビット線1BLの順に電流が流れる電流経路が形成される。このため、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。また、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも、低くなる。したがって、前述した理由でリードマージンが上がるため、リードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択さ

れたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。また、第2のビット線2BLに第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。

第37図(19)の場合について、以下に説明する。
第1のビット線1BLに接続されている選択さ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。また、第2のビット線2BLに第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について、考える。この場合、第2のビット線2BL、第1のダミービット線DBL1、第1のビット線1BL、第2のダミービット線DBL2の順に電流が流れる電流経路が形成される。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でリードマージンの無い方向に動く。また、接続

されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、オン状態のメモリセルが接続されているのは、第2のダミービット線DBL2だけであるので、第2のビット線2BL、第1のダミービット線DBL1、第1のビット線1BL、第2のダミービット線DBL2の順に電流が流れる。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンが上がるため、リードマージンの無い方向に動く。第2のビット線2BLの電位は第1のダミービット線より高いので、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLと第2のビット線2BLに、第1のダミービット線DBL1から電

流が流れるが、第2のダミービット線DBL2には第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。したがって、前述した理由でリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。また、第2のビット線2BLに第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。この結果、

接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。

第37図(20)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、オン状態のメモリセルが接続されているのは、第2のダミービット線DBL2だけであるので、第1のビット線1BL、第2のビット線2BL、第1のダミービット線DBL1、第2のダミービット線DBL2の順に電流が流れる。このため、第1のビット線1BLの電位と第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第1のビット線1BLに接続されている選択さ

れたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第2のビット線2BLと第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れるが、第2のビット線2BLからは、その電位が上がってくると、第1のビット線1BLに電流が流れる。

この結果、第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも低くなる。

また、第1のビット線1BLに、第2のビット線2BLを介して、第1のダミービット線DBL1から電流が流れるため、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より低い。

したがって、前述した理由で両ビット線ともデータ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、

第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに第2のビット線2BLから電流が流れ、第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。また、第2のビット線2BLから第1のビット線1BLに電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。このため、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位と等しく、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択され

たメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLに電流が流れ、第1のダミービット線DBL1から第2のビット線2BLと第2のダミービット線DBL2に電流が流れる。

この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。また、第2のビット線2BLに第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。

したがって、前述した理由でリードマージンの

無い方向に動く。

第37図(21)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、オン状態のメモリセルが接続されているのは、第2のダミービット線DBL2だけであるので、第1のダミービット線DBL1、第2のビット線2BL、第1のビット線1BL、第2のダミービット線DBL2の順に電流が流れる。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は共に、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、オフ状態のメモリセルが接続されているの

くなる。したがって、前述した理由でリードマージンの無い方向に動く。また、第2のビット線2BLは第1のダミービット線DBL1に接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位よりも、低くなる。したがって、前述した理由でリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のビット線2BLに電流が流れる。

この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1

は、第1のダミービット線DBL1だけであるので、第1のダミービット線DBL1、第2のビット線2BL、第1のビット線1BL、第2のダミービット線DBL2の順に電流が流れる電流経路が形成される。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は共に、第2のダミービット線DBL2の電位よりも高くなる。したがって、前述した理由でリードマージンの無い方向に動く。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のダミービット線DBL1、第2のビット線2BL、第1のビット線1BL、第2のダミービット線DBL2の順に電流が流れる電流経路が形成される。このため、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高

い電位よりも、低くなる。したがって、前述した理由でリードマージンの無い方向に動く。また、第2のビット線2BLに第1のビット線1BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2に、第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より高くなる。

したがって、前述した理由でリードマージンの無い方向に動く。

第37図(22)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶する場合について考える。この場合、第1のビット線1BLと第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れるが、第1のビット線1BLには電位が下がる、第2のビット線2BLから電流が流れ

る。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より、高くなる。また、第2のビット線2BLは、第2のダミービット線DBL2に直接電流は流れない。このため第2のビット線2BLの電位は、第1のダミービット線DBL1の電位より高くなる。したがって、前述した理由でリードマージンが上がるため、第1のビット線1BLも第2のビット線2BLも、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、オフ状態のメモリセルが接続されているのは、第1のダミービット線DBL1だけであるので、第1のダミービット線DBL1、第2のダミービット線DBL2、第1のビット線1BL、第2のビット線2BLの順に電流が流れる。この結果、第1のビット線1BLの電位と第2のビット線2BLの電位は、第2のダミービット線

DBL2の電位よりも低くなる。したがって、前述した理由でリードマージンが上がるため、第1のビット線1BLも第2のビット線2BLもデータ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線1BLに第2のビット線2BLから電流が流れ、第2のダミービット線DBL2に第1のダミービット線DBL1から電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。また、第2のビット線2BLから第1のビット線1BLに電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”デ

データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、この場合、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1から第2のダミービット線DBL2に電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンの無い方向に働く。また、第2のビット線2BLに第1のビット線1BLから電流が流れ、第2のダミービット線DBL2に第1のビット線1BLと第1のダミービット線DBL1から電流が流れる。こ

のため、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位より低くなる。

したがって、前述した理由でリードマージンが上がるため、データ検知は遅くならない。

第37図(23)の場合について、以下に説明する。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“0”データを記憶している場合について考える。この場合、第1のビット線1BLから第2のダミービット線DBL2に電流が流れるが、第2のビット線2BLと第1のダミービット線DBL1からは第2のダミービット線DBL2に直接電流は流れない。この結果、第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンの無い方向に働く。第2のビット線2BLの電位は第1のダミービット線DBL1の電位と等しく、

データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルと、第2のビット線2BLに接続されている選択されたメモリセルとが、共に“1”データを記憶している場合について考える。この場合、第1のビット線1BLは、第1のダミービット線DBL1から電流が流れるが、第2のビット線2BLと第2のダミービット線DBL2には第1のダミービット線DBL1から直接電流は流れない。この結果、第1のビット線1BLの電位は、第2のダミービット線DBL2の電位よりも高くなる。したがって、前述した理由でリードマージンの無い方向に動く。第2のビット線2BLの電位は第2のダミービット線DBL2の電位と等しく、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“1”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“0”データを記憶している場合について考える。この場合、第1のビット線

1BLに第2のビット線2BLと第1のダミービット線DBL1から電流が流れ、第2のダミービット線DBL2には、第2のビット線2BLと第1のダミービット線DBL1線から直接電流は流れない。この結果、接続されている選択されたメモリセルが“1”データを記憶している第1のビット線1BLの電位は、第2のダミービット線DBL2の電位より高くなる。したがって、前述した理由でリードマージンの無い方向に動く。第2のビット線2BLと第1のダミービット線DBL1から第1のビット線1BLに電流が流れる。この結果、接続されている選択されたメモリセルが“0”データを記憶している第2のビット線2BLの電位は、第1のダミービット線DBL1の電位と等しく、この場合、データ検知は遅くならない。

第1のビット線1BLに接続されている選択されたメモリセルが“0”データを記憶しており、第2のビット線2BLに接続されている選択されたメモリセルが“1”データを記憶している場合

について考える。この場合、第1のビット線1BLから第2のビット線2BLと第2のダミービット線DBL2に電流が流れ、第1のダミービット線DBL1からは第2のビット線2BLと第2のダミービット線DBL2に電流は流れない。この結果、接続されている選択されたメモリセルが“0”データを記憶している第1のビット線1BLの電位は、第1のダミービット線DBL1の電位より低くなる。したがって、前述した理由でリードマージンの無い方向に動く。また、第2のビット線2BLと第2のダミービット線DBL2は、第1のビット線1BLから電流が流れる。この結果、接続されている選択されたメモリセルが“1”データを記憶している第2のビット線2BLの電位は、第2のダミービット線DBL2の電位と等しく、この場合、データ検知は遅くならない。

以上をまとめると、データがどのような状態であってもデータ検知が遅くならないのは第37図(1)、(2)、(6)、(15)、(18)の各場合である。

すなわち、第37図(1)においては、第1のビット線1BLは、第2のビット線2BL、第1のダミービット線DBL1、第2のダミービット線DBL2とイコライズされ、第2のビット線2BLは、第1のビット線1BL、第1のダミービット線、第2のダミービット線とイコライズされ、第1のダミービット線DBL1は、第1、第2のビット線1BL、2BL、第2のダミービット線DBL2とイコライズされ、第2のダミービット線DBL2は、第1、第2のビット線1BL、2BL、第1のダミービット線DBL1とイコライズされている。しかしながら、第37図(1)のように、第1、第2のビット線1BL、2BL、第1、第2のダミービット線DBL1、DBL2を平等にイコライズする必要はない。イコライズ方法により、データ検知の速度に差が出る。実際上はイコライズ時間を十分にとれば各ビット線ごとの電位差が非常に小さいため、上記のようなイコライズ方法の違いによる差は現れないが高運動作を求めるためにイコライズ時間を短くする必要

があり、上記のようにイコライズ方法の違いによる差が現れるため、イコライズ方法は、(1)、(2)、(6)、(15)、(16)の方式にしておくことが望ましい。これらの各場合のように、イコライズするための経路を減らしたとしても、第37図(1)の場合と等しいマージンが確保できる。パターン占有面積に制約があり、イコライズするためのトランジスタの数を少なくしたい時にも有効である。また、上記以外にもイコライズ方法は、考えられるが、動作原理は、同様である。

また、トランジスタQ16、Q17、Q200、Q16'、Q17'、Q200の組とQ12、Q14、Q201、Q12'、Q14'、Q201'の組の両方が、第37図(1)、(2)、(6)、(15)、(16)のいずれかの方式をとる必要はない。上記組のいずれか一方のみに適用してもよく、また各組に第37図(1)、(2)、(6)、(15)、(16)のうち異なる方式を上記組で、組み合わせて使用して良い。

次に、本発明にかかる記憶装置をマスクプロ

用トランジスタとして、1個のエンハンスメント型(E型)トランジスタ T_s と1個のディプレッション型(D型)のトランジスタ T_s' とを直列接続し、各ナンド束に2本の選択用ワード線 WL_s 、 WL_s' を接続している。この場合、ビット線BLの両側のトランジスタ列における各ナンド束の選択用トランジスタは、互いに対応するトランジスタの動作特性(上記E型とD型)が異なるようにされている。従って、ある記憶セルを選択してそのデータを読み出す場合、この記憶セルが属するナンド束における2個のナンド選択用トランジスタのうち、D型トランジスタ T_s' に対応するワード線 WL_s' を接地電位、E型トランジスタ T_s に対応するワード線 WL_s を電源電位 V_{cc} (例えば5V)にし、メモリセルトランジスタ $T_1 \sim T_n$ のうちの非選択なものにそれぞれ対応するワード線 $WL \dots$ を電源電位 V_{cc} にし、選択されるメモリセルトランジスタのゲート電極のワード線WLを接地電位にする。すると、選択されたナンド束の選択されたセルトランジスタ(例

ラムブルROMに適用した実施例について説明する。

マスクプログラマブルROMは、ウェーハ製造工程中にマスクを用いて情報を書き込むようにしたものである。一般に、このマスクプログラマブルROMはメモリセルアレイの回路構成によってノア型とナンド型とに分類される。ノア型は高速動作に適しているが、チップサイズが大きくなってしまいうという短所がある。一方、ナンド型はチップサイズが比較的小さくて済むという長所があり、メモリ容量がメガビット級の大容量になるにつれて、歩留まりやコストの関係上でチップサイズを小さくする必要性が高まり、ナンド型の採用が多くなっている。

従来のナンド型ROMのメモリセルアレイの一部について、チップ上の平面パターンを第38図に、回路を第39図に示す。第38図および第39図において、2列のトランジスタ列の間に共通に1本のビット線BLを設け、各トランジスタ列のナンド束(トランジスタ $T_1 \sim T_n$)を選択

例えば T_1)のオンまたはオフ状態に応じたデータがビット線BLに現われる。

メモリセルトランジスタは、記憶情報が“0”または“1”に対応してD型またはE型のトランジスタで作られているため、ゲートに電源電位 V_{cc} が印加される非選択のセルトランジスタはすべてオンするが、ゲートに接地電位が印加される選択されたセルトランジスタがE型であればオフし、D型ならばオンする。このようなオン、オフを検出してデータを読み出しが行われる。

なお、選択されたナンド束に対応する隣りのトランジスタ列のナンド束は、2個のナンド選択用トランジスタ列のうちのE型トランジスタがオフになるので、このナンド束からビット線BLにデータが読出されることはない。

第38図に示すパターンにおいては、ビット線BLとナンド束トランジスタ列の一端とのコンタクト部32が設けられており、斜線部分はD型トランジスタ T_s' のゲート、チャネル領域を示している。

上記第38図、第39図の構成においては、2列のトランジスタ列に対して1本のビット線を設けるので、ビット線の本数を減少させることができ、ビット線配線幅方向のチップサイズの縮小化が可能である。このような長所のため、現在最も普及している。

第1図に示した本発明にかかるメモリセルをこのようなマスクROMにおきかえた場合を考える。

メモリセルからの読み出し電位 V_{IN} の電位が“1”レベルとなるのはEタイプのメモリセルを選んだ時であり、“0”レベルとなるのは、Dタイプのメモリセルを選んだ時である。この“0”レベルで最も電位が高くなるのは、ナンド束中にDタイプのメモリセルが1個のみ存在する場合である。

一般に、低い電源電圧でも動作することが半導体装置においては望ましいが、第1図に示した本発明にかかる半導体メモリにおいては、電源電圧 V_{cc} を下げていくと信号Aと信号Bの電位差が小さくなっていくとともに、信号A、Bと電源電圧

V_{cc} との差も小さくなる。後者の差が第2図に示されたトランジスタ S_5 、 S_6 の閾電圧よりも小さくなれば、トランジスタ S_5 、 S_6 はオフし、動作しなくなる。前述したように、電源電圧が低下していくのに伴って信号Bと電源電圧 V_{cc} との電位差が小さくなっていく速さは V_{IN} より V_{R2} の電位が低いものほど速い。このように V_{IN} の電位は V_{R2} よりも低い方が良く、高くなると電源マージンが狭まるという問題が生ずることになる。このためダミーセルにおける V_{R2} の電位については、本体の“0”レベル中最も高い電位であるメモリナンド束中にDタイプのメモリセルが1個の時の電位と等しくなることが好ましい。

第40図に示す本発明の第12の実施例は、上記の事情に基づいてなされたもので、第1図の回路構成をナンド型マスクROMを適用できるようにすることを目的として構成されたものである。

第1図に示したダミーセルに対応するものとして、ダミーセルナンド束 $DMB_1 \sim n$ 、 $DMB_{n+1} \sim n+n$ が用いられる。ダミーセルナンド束

DMB_1 は共通のダミービット線に接続されリファレンスカラムゲート RG_1 に接続される。ダミーセルナンド束 DMB_n は、共通のダミーセルビット線に接続されリファレンスカラムゲート RG_n に接続される。リファレンスカラムゲート $RG_1 \sim RG_n$ の反対側は共通に接続され負荷トランジスタ L_2 に接続され、リファレンス電位 V_{R1} を作る。ダミーセルナンド束 $DMB_1 \sim n$ は第41図に示すように構成される。それぞれのダミーセルナンド束中のダミーメモリセルトランジスタはすべてE型である。このダミーセルナンド束 $1 \sim n$ は選択されたメモリセルがE型トランジスタの場合の本体ナンド束と等価である。またワード線 WL_s 、 $WL_{s'}$ との接続は従来の第39図と同様となっている。

このような構成では、メモリセル及びダミーセル、さらに、本体側ビット線、ダミービット線の電磁ノイズによる影響は等しいものとなっているので、Eタイプのメモリセルが選択された時の V_{IN} の電位と V_{R1} の電位は、電源ノイズがある場

合でも等しくなる。

第42図は $n=8$ の場合のダミーセルナンド束 $DMB_1 \sim n$ の1つを示したもので、8個のE型トランジスタが直列接続されている。第43図は $n=8$ の場合のワード線 $WL_1 \sim WL_8$ を選択するためのデコード、第45図はリファレンスデコード15の一実施例を示している。第43図の回路はナンド回路であり、ワード線 $WL_1 \sim WL_8$ に対応して8個設けられている。第44図に示すように、P、Q、Rへの入力 that 各ワード線に対して異ならせたアドレス入力 $A_0 \sim A_2$ の組み合わせからなり、ただ一本のワード線が選択され“0”レベルとなる。他の7本のワード線が非選択の“1”レベルとなるようになっている。第45図は、リファレンスデコードの一例を示す。この回路はナンド回路とインバータからなっている。第46図に示すように $A_0 \sim A_2$ を組合わせたアドレス入力により、ただ1つのリファレンスカラムゲートが選択されオンするようになっている。第43図から第46図までから分るように、

WL1が選択されるとRG1、WL8が選択された時はRG8がそれぞれ選択されるようになっていく。

これに対し、ダミーセルナンド束DMB $n+1$ ～DMB $n+n$ は第47図に示すように構成される。それぞれのダミーセルナンド束は、ただ1つのD型トランジスタを含む。残りのダミーセルトランジスタはE型である。すなわち、ダミーセルナンド束DMB $n+1$ では、ワード線WL1に接続されているメモリセルのみがD型であり、ダミーセルナンド束DMB $n+2$ ではワード線WL2に接続されているダミーメモリセルのみがD型であり、同様にダミーセルナンド束DMB $n+n$ はワード線WL n に接続されているメモリセルのみがD型となっている。そして40図から明らかなように、ダミーセルナンド束DMB $n+1$ は共通のダミービット線に接続され、リファレンスカラムゲートRG $n+1$ に接続される。また、ダミーセルナンド束DMB $n+n$ は共通のダミービット線に接続され、リファレンスカラムゲート

RG $n+n$ に接続される。リファレンスカラムゲートRG $n+1$ ～RG $n+n$ の反対側は共通に接続され、リファレンス電位VR2を作る。

このような構成で、例えばワード線WL1が選択されると、リファレンスデコードにより、RG $n+1$ がオンするように選択され、ダミーセルナンド束 $n+1$ のWL1に接続されたD型のダミーセルからリファレンス電位VR2が作られる。同様に、ワード線WL n が選択されるとリファレンスデコードによりリファレンスカラムゲートRG $n+n$ が選択され、ダミーセルナンド束DMB $n+n$ の、ワード線WL n に接続されたD型のダミーセルからリファレンス電位VR2が作られる。

このような構成により、メモリセルアレイ中にダミーセルを作ることができ、また、ダミーセルナンド束中のD型メモリセルはただ1個のみにすることができる。

また、このように構成することで、ダミーセルもワード線WLでコントロールされるため、VR2一

の電位はV1Nの“0”レベルの電位よりも低くなることはない。

このように、この実施例では、ナンド型マスクROMにおいても、電源マージンが広く、しかも高速で電源ノイズに強い半導体メモリを提供することができる。

メモリセルアレイ中に不良のメモリセルが存在した場合、この不良のメモリセルの代りに使用される予備のメモリセルを備えた半導体メモリが知られている。

次にこのような予備のメモリセルを有した、半導体メモリに本発明を適用した実施例について説明する。

第48図は、例えばデータ書き換え可能な不揮発性半導体メモリ（以下EPROMと記す）の一般的な構成を示しており、21は行アドレスバッファ回路、22は行デコード回路、23はメモリセルアレイ、24は列アドレス・バッファ回路、25は列デコード、26はカラムゲートトランジスタ、27はアドレス変化検出（ATD）回路、

28はセンス・アンプ回路、29は出力バッファ回路、30は冗長回路及び予備デコード回路、31は予備メモリセルアレイである。

外部から行アドレス信号A0～Aiが入力される行デコード22によりワード線WL0～WL m のうち的一本が選ばれ、外部からの列アドレス入力信号B0～Bjが入力される列デコード25によりビット線BL0～BL n のうち的一本が選ばれる。選択されたワード線とビット線の交点に置かれたメモリセルが選択される。

このメモリセルのデータは、センスアンプにより検出、増幅され出力バッファ回路を通して、チップ外部へと出力される。

第48図のセンス・アンプ回路28は、第1図及び、第2図に記載の構成となっており、アドレスの変化を検知するATD回路27の出力信号 ϕ により、ビット線のイコライズとプリチャージ動作が行なわれている。

第50図は、冗長回路30の回路図である。

ここで51～60はエンハンスメント型MOS

トランジスタ、61は電源端子、62～64、81はインバータ、65～66はナンド回路、70～72はヒューズである。

ヒューズ70を切ると、第48図で示す冗長回路および予備デコード回路30が使用可能になる。

ヒューズ71～72を選択的に切ることにより、不良のメモリセルに対応したアドレスが入力されたとき、予備行デコードにより、一本の予備ワード線が選択される。同時に通常使用の行デコードによるワード線の選択がやめられる。

セルアレイ内に不良のメモリセルが存在し、このメモリセルに対応するアドレスが入力された場合、そのアドレスが入力されている間、不良のメモリセルを含む行線の使用を禁止するため、予備デコードの成立を検出する信号(EWS)により、信号SPEが論理“0”になる。

信号SPEが論理“0”にされることによって、全てのワード線が非選択になる。この時予備のワード線(RWL)が選択され、予備のメモリセルが選ばれる。

てしまう。

このため不良メモリセルが選択される時、予備のワード線により選択された予備メモリセルと、ワード線により選択された不良のメモリセルの2つが選択されてしまう事になる。

このような冗長回路を使用した場合、第1図及び第2図の本発明のセンスアンプを用いると、以下の様な場合に問題点がある事が判った。

このような予備メモリセルを有した半導体メモリにおいては、1本のワード線に接続される複数のメモリセルのうちの1つのメモリセルが不良であっても、2本のワード線の代わりに予備のワード線を使用することによって、不良のメモリセルの代わりに予備のメモリセルを使用する。このため、不良のメモリセルが含まれるワード線に関する不良のメモリセルも予備のメモリセルに置き換えられる。例えば第1図のEPROMの場合、不良のメモリセルが含まれるワード線の良のメモリセルに大しては、データが書き込まれないため、メモリセルの浮遊ゲートに電子が注入されていない

しかし、このように予備メモリセルが選ばれる場合、外部から入力されるアドレス信号の変化は、アドレスバッファ回路21ー冗長回路及び予備デコード回路30を介して伝達され、予備メモリセルが選択される。一方、このアドレス信号の変化は、アドレスバッファ回路21から行デコード22へも伝えられる。行デコード22は、冗長回路及び予備デコード回路30から信号SPEにより、制御される。すなわち、行デコードは、アドレスバッファ回路21と、冗長回路及び予備デコード回路30の2つの回路を経由して出力される信号で制御されるため、アドレスバッファ回路21と、行デコード22の2つの回路を経由したワード線の駆動信号も出力される。つまり、冗長回路及び予備デコード回路30からの信号SPEが完全に論理“0”になるまで、行デコード22により選択されワード線は論理“1”になっている。すなわち通常使用のワード線の使用が禁止されるまでの間は、不良のメモリセルを含むワード線も選択されるため、不良メモリセルも選択され

い。

予備のワード線に接続された予備のメモリセルの浮遊ゲートに電子が注入されており、この予備のワード線に置き換えられた不良のメモリセルが含まれるワード線によって接続されたメモリセルに電子が注入されていない場合、選択された予備メモリセルのデータを読む速度が遅くなる問題がおこった。

上記の様に予備メモリセルを使用した場合、ビット線BLには選択された浮遊ゲートに電子が注入された予備メモリセルの他に、浮遊ゲートに電子が注入されていないメモリセルMmも接続されている。このメモリセルMmのゲートには、動作不良を起こしているメモリセルを含むワード線WLが接続されており、このワード線WLは、前述の通り、一時的に選択される。このワード線WLは、3nsの間選択されていることが分った。このため、このメモリセルMmは、3nsの間オン状態となっている。

この期間ビット線BLは上記メモリセルMmに

より放電される。

結果として、第2図の第1のセンスアンプの出力Aは、“0”データの記憶された予備メモリセルを選択しているにもかかわらず論理“1”レベルへと変化するため、第3のセンスアンプから、“1”データのメモリセルデータに対応する論理“0”レベルの出力信号Dが出力される。

3nsec経過すると、メモリセルMm0によるビット線BLの放電はなくなり、ビット線BLの電位は、第1のダミービット線と同じ電位まで充電される結果、第1のセンスアンプのPチャネルトランジスタS1、S2は非導通状態となる。ノードN2の電位がほぼNチャネルトランジスタの閾値電圧であるためVssとPチャネルトランジスタS1の間に接続されているNチャネルトランジスタによるノードN2の放電スピードは遅く、第1のセンスアンプの出力信号Aは、例えば20nsec後に論理“1”から論理“0”へと変化する。

このため、“0”データの検知スピードは20ns程度遅れてしまっていた。

タI2'、I3'の出力は、ATD回路27に入力される。

第49図(a)のATD回路においては、インバータI3の出力AiがインバータI4に入力され、このインバータI4の出力側に、ゲートにVcc電位が与えられたNチャネルトランジスタとゲートにVss電位が与えられたPチャネルトランジスタとが並列に接続されてなる転送ゲートTG1を介して二段のインバータI5、I6が接続されている。転送ゲートTG1の出力ノードには、容量CP1及び容量CN1が接続されている。容量CP1は、ソース・ドレインにVcc電位が与えられたPチャネルトランジスタからなり、ゲートがTG1の出力ノードに接続される。容量CN1はドレイン・ソースにVss電位が与えられたNチャネルトランジスタとなりゲートがTG1の出力ノードに接続される。さらに、TG1の出力ノードには、Vcc電位との間にPチャネルトランジスタP1が接続され、このトランジスタP1のゲートにインバータI3の出力Aiが入力されてい

本実施例は上記の事情により予備メモリセルが選択された場合でも、高速動作可能な半導体メモリを提供することを目的としてなされたものである。

第49図は従来のアドレスバッファ回路21及びATD回路27を示す。

第49図(a)に示すアドレスバッファ回路およびATD回路において、Aiはアドレス入力、CEは外部からのチップイネーブル信号(あるいはチップ選択信号)にตอบสนองしてチップイネーブルバッファ回路(図示せず)により生成された集積回路チップを動作状態にしたり待機状態にするための内部チップイネーブル信号、Vccは電源電位、Vssは接地電位である。Ai入力および信号CEは、アドレスバッファ回路における二入力のノアゲートNR1に入力され、このノアゲートNR1の出力側には、三段のインバータI1~I3が接続され、また、このインバータI1の出力側には、三段のインバータI1'~I3'が接続されている。インバータI2、I3の出力およびインバー

る。

そして、インバータI6の出力は、ソースがVss電位に接続されたNチャネルトランジスタN1のゲートに接続され、このNチャネルトランジスタN1のドレインはゲートがインバータI2'の出力に接続されたNチャネルトランジスタN2のソースが接続されている。

また、インバータI3'の出力Ai'がインバータI4'に入力され、このインバータI4'の出力側に、ゲートにVcc電位が与えられたNチャネルトランジスタとゲートにVss電位が与えられたPチャネルトランジスタとが並列に接続されてなる転送ゲートTG1'を介して二段のインバータI5'、I6'が接続されている。転送ゲートTG1'の出力ノードには容量CP1'及び容量CN1'が接続される。容量CP1'はソース・ドレインにVcc電位が与えられたPチャネルトランジスタからなり、ゲートがTG1'の出力ノードに接続される。容量CN1'はドレイン・ソースにVss電位が与えられたNチャネルトランジ

タからなり、ゲートがTG1'の出力ノードに接続される。さらにTG1'の出力ノードには、Vcc電位との間にPチャネルトランジスタP1'が接続され、このトランジスタP1'のゲートにインバータ13'の出力Aiが入力されている。

そして、インバータ16'の出力は、ソースがVss電位に接続されたNチャネルトランジスタN1'のゲートに接続され、このNチャネルトランジスタN1'のドレインはゲートがインバータ12'の出力に接続されたNチャネルトランジスタN2'のソースが接続されている。NチャネルトランジスタN2'およびNチャネルトランジスタN2'の各ドレインは相互に接続されており、この接続点(ノードNND1)にはインバータ18'の入力端が接続されると共に、ソースがVccに接続されゲートに信号CEが入力されるPチャネルトランジスタ17'のドレインが接続されている。

さらにノードNND1には、Nチャネルトランジスタ17'のドレインが接続され、このトランジスタ17'のゲートは、信号CEが入力され、ソ

ースは接地される。

なお、インバータ14からNチャネルトランジスタN1までの回路、およびインバータ14'からNチャネルトランジスタN1'までの回路は、それぞれ所定の遅延時間を有する遅延回路Tを形成している。

第49図(a)のアドレスバッファ回路およびATD回路において、信号CEが論理"0"となりチップが選択状態(動作状態)になると、ノードNND1が"1"になる。この時、アドレス入力Aiが変化すると、NチャネルトランジスタN2'またはNチャネルトランジスタN2の対応するものがオンになり、ノードNND1が論理"0"になる。この後、遅延回路Tの所定遅延時間後に、NチャネルトランジスタN1'またはNチャネルトランジスタN1の対応するものがオフになり、ノードNND1が再び論理"1"になる。このためインバータ19から所定のパルス幅を有する論理"0"の信号ATDiが出力される。各アドレス入力にそれぞれ対応して設けられる第49図(a)

のアドレスバッファ回路およびATD回路からの信号ATDiは、それぞれ第49図(b)に示すナンド回路に入力される。

このナンド回路の出力信号ATDは、第49図(b)に示すインバート4段で、波形整形・増幅され、その出力信号はセンス回路のプリチャージトランジスタ及びイコライズトランジスタのゲートに入力される。

第51図は本発明の第13の実施例を示す。第49図(a)に示す。従来回路の構成との違いは、インバータ14の出力側にゲートにVcc電位が与えられたNチャネルトランジスタとゲートにVss電位が与えられたPチャネルトランジスタとが並列に接続されてなる転送ゲートTG2と、ゲートに信号RDDが入力されたNチャネルトランジスタとゲートに信号RDDが入力されたPチャネルトランジスタとが並列に接続されてなる転送ゲートTG3とが、並列に接続されている点である。インバータ14の出力にも同様に、TG2'と転送ゲートTG3に対応するTG3'とが並列に

接続されている。

信号RDDが論理"1"で、信号RDDが論理"0"の時、転送ゲートTG3はONし、TG2とTG3を並列につないだ合成された導通抵抗と従来のTG1の導通抵抗とは同じになる様設定しておく。同様に転送ゲートTG3'がONした時のTG2'とTG3'を並列につないだ合成された導通抵抗と従来のTG1'の導通抵抗も同じになる様設定しておく。

第52図は信号RDDとRDDを出力する冗長回路であり、第50図と同じ構成要素には同じ番号を付してある。

インバータ62の出力信号を、インバートInAでうけ、その出力信号をRDDとし、RDDをインバートInBでうけ、その出力信号をRDDとする。

このような実施例の動作について以下に説明する。

予備メモリセルを使用していない場合はノードAAは、ヒューズAUによって電源Vssにつなが

っており、論理“0”となっている。したがって、ノードBBは論理“1”、ノードCCは論理“0”となり、信号RDDは論理“1”となり、信号RDDは、“0”となる。

この論理“1”の信号RDDと論理“0”の信号RDDをうけ第51図の転送ゲートTG3とTG3'は導通する。

前述の通り、イコライズ時間を決めている信号φのバース幅は、遅延回路Tによって決まっている。このため、予備メモリセルを使用していない場合のバース幅は、従来回路のバース幅と同じである。

次に予備メモリセルを使用した場合についてのべる。

予備メモリセルを使用する場合は、ヒューズ70を切る。電源が投入された時、電源Vccにつながれたキャパシタ51によりノードAAの電位は上がり、次段のインバータを反転させ、ノードBBは論理“0”となる。ノードBBの“0”を受け、トランジスタ52がオンし、ノードAAは

電源Vccに接続され論理“1”が安定して保持される。ノードCCは論理“1”となり、信号RDDは論理“0”になり、信号RDDは論理“1”になる。

この信号RDDと信号RDDを受け第51図の転送ゲートTG3とTG3'は非導通状態となり、遅延時間Tは予備メモリセルを使用しない時よりも長くなる。

例えばTG3とTG3'とが非導通状態の時、遅延回路Tにおける遅延時間が3nsec長くなるように、TG2、TG2'、TF3'のそれぞれの導通抵抗を決めれば、イコライズ信号φのバース幅は3ns長くなる。

これにより、予備のメモリセルが選択され、予備のメモリセルからデータを読み出す時、ビット線BL、ダミービット線DBL1、DBL2のプリチャージ及びイコライズされる時間が3nsec長くなり、不良のメモリセルが接続される行線が、論理“1”となり信号SPEによって論理“0”とされる3nsecの間プリチャージ、及びイコライ

ズが続けられる。このため、イコライズ終了時に前述の様な誤動作を起こす事はない。

上記の実施は、第51図に示したATD回路を利用して、予備メモリセルを使用した時、信号φのバース幅を長くしたが、第49図(b)を利用しても、信号φのバース幅を長くすることができる。この例を、第53図を用いて説明する。

第53図は従来の第49図(b)の信号ATDを受けてイコライズバース信号φを形成するインバータ4段のうちの、2段目と3段目のインバータを改良している。

2段目のインバータIN2のNチャネル型トランジスタTr11のソースと接地との間に導通抵抗の大きいNチャネル型トランジスタTr12と導通抵抗の小さいNチャネル型トランジスタTr13とを並列に接続してある。

また3段目インバータIN3のPチャネル型トランジスタTr14のソースと電源Vccとの間に導通抵抗の大きいPチャネル型トランジスタTr15と導通抵抗の小さいPチャネル型トランジ

スタTr16とを並列に接続してある。

上記、Nチャネル型トランジスタTr13のゲートには信号RDDが入力され、Pチャネル型トランジスタTr16のゲートには信号RDDが入力される。Nチャネル型トランジスタTr12のゲートは、1段目のインバータIN1の出力に接続され、Pチャネル型トランジスタTr15のゲートはインバータIN2の出力に接続される。

以下上記回路の動作について説明する。

予備メモリセルを使用する場合について考える。

この場合、前述の通り信号RDDは、論理“0”となっており、信号RDDは論理“1”となっている。したがってトランジスタTr13とトランジスタTr16はオフする。

このため、インバータIN2のゲート入力が、論理“0”から論理“1”へ変化する時、インバータIN2の出力は、トランジスタTr11と、トランジスタTr12を介して放電される。

また、インバータIN3のゲート入力が、論理“1”から論理“0”へ変化する時、インバータ

IN3の出力は、トランジスタTr15と、トランジスタTr14を介して充電される。

インバータIN2の出力は、導通抵抗の大きいトランジスタTr12を通して放電されるため、この放電速度は、予備メモリセルを使用しない信号RDDが論理“1”のトランジスタTr13がオンしている時のインバータIN2の出力をトランジスタTr12とTr13とで放電するよりも、インバータIN2の出力の放電速度は遅い。

すなわち、トランジスタTr11、トランジスタTr12、トランジスタTr13を介して、インバータIN2の出力を放電する方が、トランジスタTr11、トランジスタTr12のみを介して、インバータIN2の出力を放電するよりも速い。

同様に、トランジスタTr14、トランジスタTr15、トランジスタTr16を介してインバータIN3の出力を充電する方がトランジスタTr14、トランジスタTr15のみを介してインバータIN3の出力を充電するよりも速い。

〔発明の効果〕

以上のように、本発明によれば、メモリセルの記憶状態に応じた第1および第2の2種類のダミーセルを設け、メモリセルの記憶状態とダミーセルの記憶状態を比較することによりメモリセルの記憶データを検出するようにしているので、必要なメモリセルの数が少なくても良く、高集積度のメモリ装置を提供することができる。

第1のダミービット線に微小電流を流すことにより、浮遊状態になることを防止でき、誤動作を防止できる。

リーク手段を設けた場合にはビット線とダミービット線との電位の関係が適切化され、センス動作が高速化し、マージンが拡大される。

イコライズ手段を設けた場合、ビット線、ダミービット線の電位を等しくし、動作を安定化させることができる。

ブリチャージ手段を設けた場合にはイコライズ終了時にイコライズ信号の変化によるビット線およびダミービット線の電位変動を防止することが

インバータIN2の出力の放電速度とインバータIN3の出力の充電速度との和が、予備メモリセルを使用する時が、使用しない時よりも3ns遅くなるように、トランジスタTr11、Tr12、Tr13、Tr14、Tr15、Tr16の導通抵抗を設定すればよい。

したがって第51図に示した実施例と同様にパルス幅ゆを、予備メモリセルを使う時に、使わない時より長くできるため、誤動作を起こすことはない。

予備メモリセルを使う時と、使わない時で、パルス信号ゆのパルス幅を変化させたが、これは、パルス信号ゆに限らず、他のタイミングパルスのパルス幅を変化させることも可能である。すなわち、予備メモリセルを使用した時に、各タイミングパルスのパルス幅が最適になるように、各パルス幅を任意に決めることができるので、予備メモリセルを使用した場合でも予備メモリセル選択の信号経路に合わせ、タイミングパルスを最適に設定するので、読み出し速度を速められる。

でき、誤動作の発生を防止することができる。

1ビット分のデータを2つのメモリセルで記憶し、それぞれについて2つの状態のダミーセルでデータを取り出すようにすることにより、高速のデータ検出が可能で、また、イコライズを適切に行うことによりさらに高速動作が可能となる。

プログラムベリファイリード時に第2のビット線の出力電圧を通常のリード時よりも高く設定し、専用のセンスアンプを用いることにより書き込み時にメモリセルに注入される電子量を増加させ、電圧マージンを拡大することが可能となる。

メモリセルの浮遊ゲートに電子が注入されているメモリセルに流れる電流より、第2のダミービット線に流れる電流が少なくすることにより、第2のセンスアンプの出力が“0”と“1”の間電位に達するのが速くなり、データ検出速度が向上する。

電源電圧よりも所定値だけ低い電圧を出力する電圧低下回路と、ドレインが第1のダミーセルのドレインに接続され、ゲートが電圧低下回路の出

力に接続された、浮遊ゲートに電子が注入されないメモリセルと等価な状態にある第3のダミーセルを設けることにより、動作がさらに高速化される。

メモリセルがバイナリデータの“0”あるいは“1”をガラスマスクにパターン化することにより、第1の観点による装置と同様のマスクROMを得ることができる。

メモリセルをMOSトランジスタがデプレッション型かエンハンスメント型かでデータを記憶する不揮発性メモリセルで構成し、ダミーセルをナンド束トランジスタ列で構成することにより、不揮発性半導体メモリ装置を得ることができる。

メモリセルアレイに予備メモリセルが併設され、不良セルがある場合にはビット線とダミービット線をイコライズするイコライズ時間を通常より長くすることにより、動作不良を起こしている行線が確実に非選択になり、誤動作を起こす可能性が減少する。

イコライズ時間の延長を適用することにより、

ズ信号 ϕ 、ラッチパルス、出力信号D及び出力信号Fの相互関係を示したタイミングチャート、第10図は第5の実施例による半導体メモリ装置の構成を示した回路図、第11図は第6の実施例による半導体メモリ装置におけるリーク手段の構成を示した回路図、第12図は同装置における電源電圧の変化と、ノードV_{out}の電位関係を示した説明図、第13図は第1の実施例をシリコン基板上で実現する際の回路配置を示した図、第14図はブリチャージ用のトランジスタを省略した実施例を示す回路図、第15図はメモリセルとダミーセルのゲート長の関係を示す素子平面図、第16図はフィードバック型バイアスを用いた実施例を示す回路図、第17図はフィードバックに用いるインバータを示す図、第18図～第24図は第17図のインバータの各種の実施例を示す回路図、第25図はフィードバック型ビット線バイアス回路の他の実施例を示す回路図、第26図はビット線バイアス回路の半導体記憶装置内での接続の様子を示す回路図、第27図および第28図

誤動作発生の可能性が減少する。

4. 図面の簡単な説明

第1図は本発明の第1の実施例による半導体メモリ装置の構成を示した回路図、第2図は同装置における第1、第2及び第3のセンスアンプの構成を示した回路図、第3図は同装置におけるイコライズ信号 ϕ 、電圧V_{IX}、V_{R1}、V_{R2}及び信号A、B、Dの相互関係を示したタイミングチャート、第4図は本発明の第2の実施例による第3のセンスアンプの構成を示した回路図、第5図は本発明の第3の実施例による半導体メモリ装置の構成を示した回路図、第6図は同装置におけるイコライズ信号 ϕ 、電圧V_{IX}、V_{R1}、V_{R2}及び信号A、B、Dの相互関係を示したタイムチャート、第7図は本発明の第4の実施例による半導体メモリ装置の構成を示した回路図、第8図は同装置のプログラムベリファイ時に電子注入量を増加させるための手段の構成を示した回路図、第9図は同装置におけるアドレス信号、ATDパルス信号、イコライズ

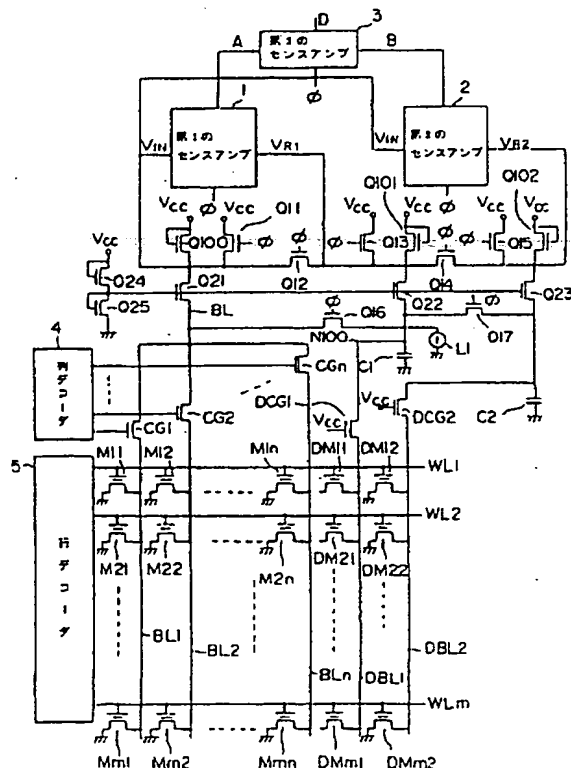
はビット線バイアス回路の他の実施例を示す回路図、第29図は第27図に示した実施例の改良例を示す回路図、第30図はビット線電位とバイアス回路のフィードバック電位との関係を示すグラフ、第31図は第29図と同様の効果を得ることのできる他の実施例を示す回路図、第32図は第31図のC1をダミービット線で置き換えた本発明の実施例を示す回路図、第33図はイコライズ方式を改良した実施例を示す回路図、第34図(A)～第34図(D)はイコライズされるビット線とダミービット線との関係を示す説明図、第35図はイコライズされるビット線とダミービット線との関係を説明するための2ビット構成の半導体メモリ装置の概略構成図、第36図は第35図の一部の詳細構成を示す回路図、第37図は第35図の構成におけるイコライズされるビット線とダミービット線との関係を示す説明図、第38図は従来のナント型ROMメモリセルアレイのパターン図、第39図はその回路図、第40図はナンド型ROMで第1図のメモリ装置を実現した様

子を示す回路図、第41図はダミーセルナンド束1～nの構成の一例を示す回路図、第42図はS本のワード線で構成されたメモリセルNAND束の例、第43図は第42図に示すナンド型ROMのワード線選択のためのデコードの一例を示す回路図、第44図はアドレス入力とワード線選択を示す図表、第45図は第42図に示すナンド型ROMのリファレンスデコードの一例を示す回路図、第46図はアドレス入力とリファレンスコラムゲートの選択を示す図表、第47図はダミーセルナンド束の $n+1 \sim n+n$ の構成を示す回路図、第48図は冗長回路を有するEPROMの一般的な構成を示すブロック図、第49図(a)はアドレスバッファ回路およびアドレス変化検出回路の一例を示す回路図、第49図(b)はパルス信号ATDを発生させる回路を示す回路図、第50図は冗長回路の一例を示す回路図、第51図は冗長回路を含む本発明の実施例を示す回路図、第52図は第51図に使用する信号を出力する冗長回路を示す回路図、第53図は冗長回路を含む本発明

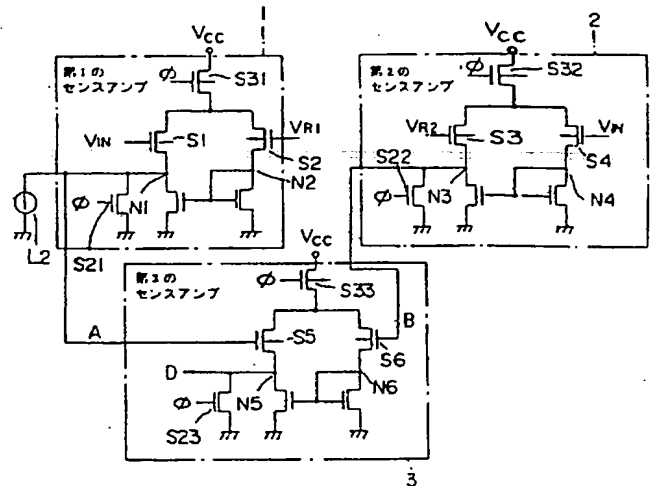
他の実施例を示す回路図、第54図は従来の半導体メモリ装置の構成を示した回路図、第55図は同装置におけるイコライズ信号 ϕ 、電圧VIN、VR1、VR2及び信号A、B、Dの相互関係を示したタイムチャートである。

1…第1のセンスアンプ、2…第2のセンスアンプ、3…第1のセンスアンプ、4…列デコード、5…行デコード、11、12、13…ビット線バイアス回路、14…書き込み回路、21…行アドレスバッファ回路、22…行デコード、23…メモリセルアレイ、24…列アドレスバッファ回路、25…列デコード、26…コラムゲートトランジスタ、27…ATD回路、28…センスアンプ回路、29…出力バッファ回路、36…プログラムベリファイセンス回路、BL…ビット線、DBL1、DBL2…ダミービット線、M11～Man…メモリセル、DM11～DMa1、DM12～DMa2…ダミービット線、Q11、Q13、Q15…プリチャージ用トランジスタ、Q12、Q14、Q16、Q17、Q200、Q201…イコライズ用トランジスタ。

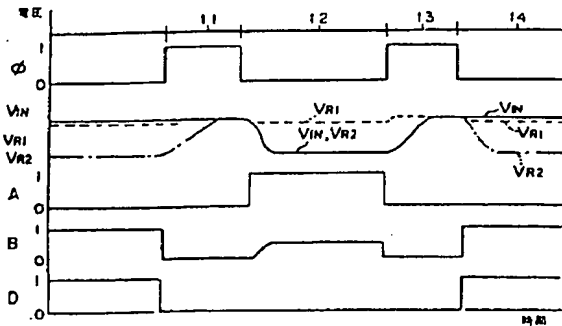
図面の浄書(内容に変更なし)



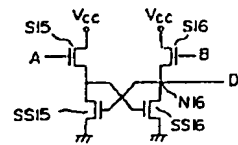
第1図



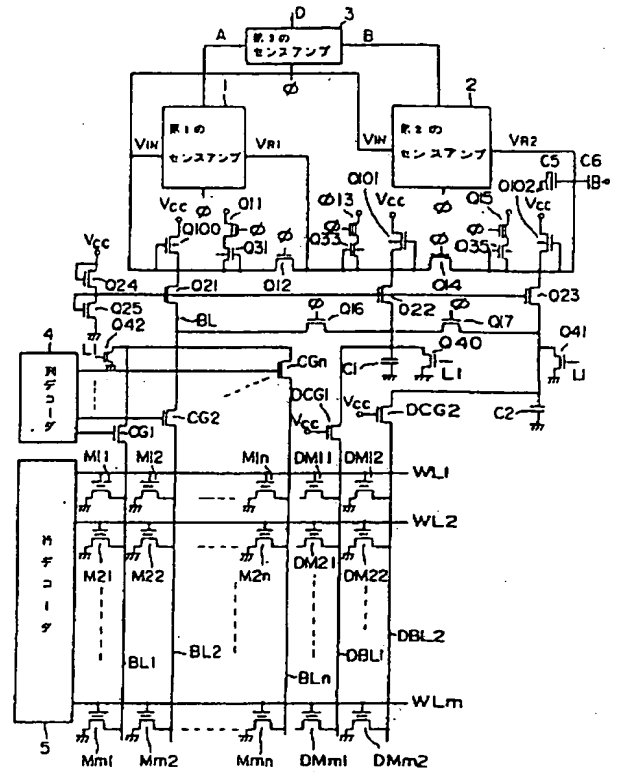
第2図



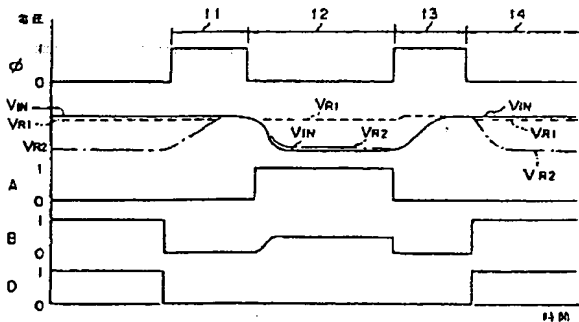
第 3 図



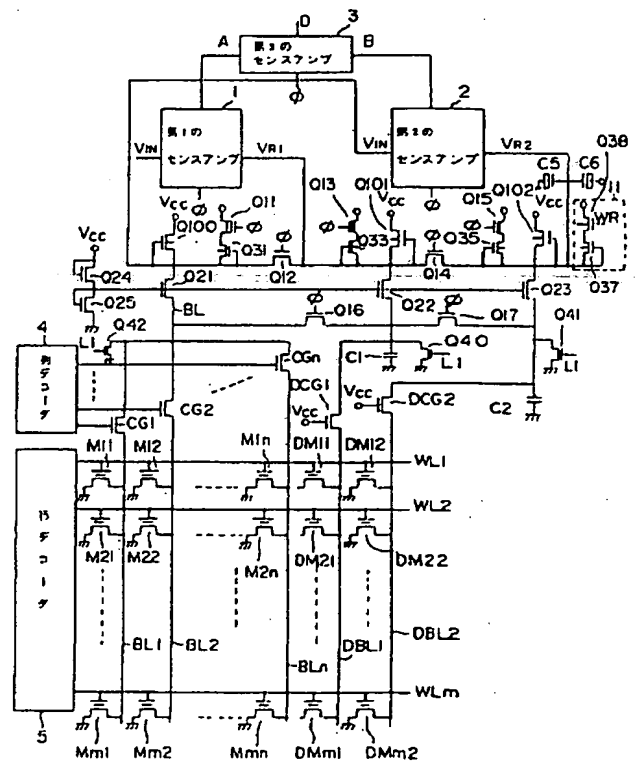
第 4 図



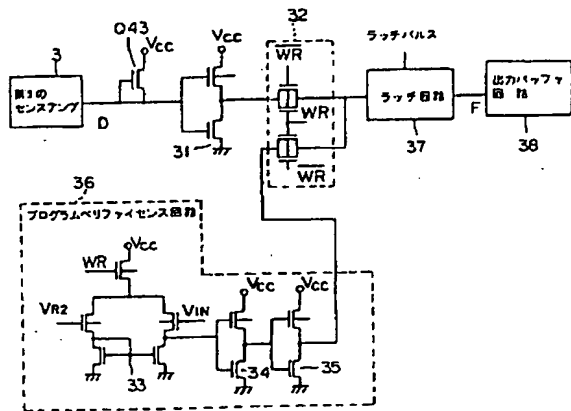
第 5 図



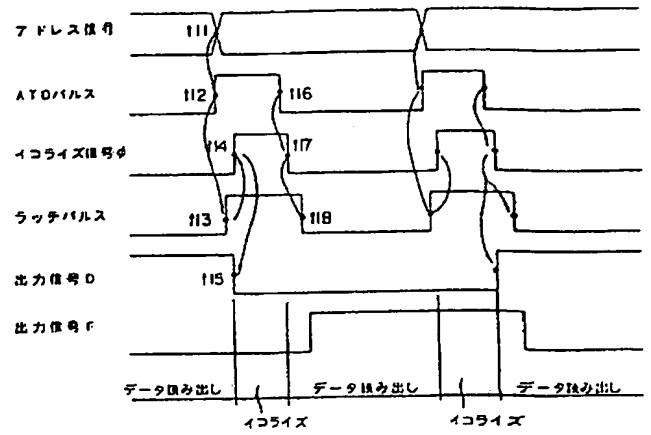
第 6 図



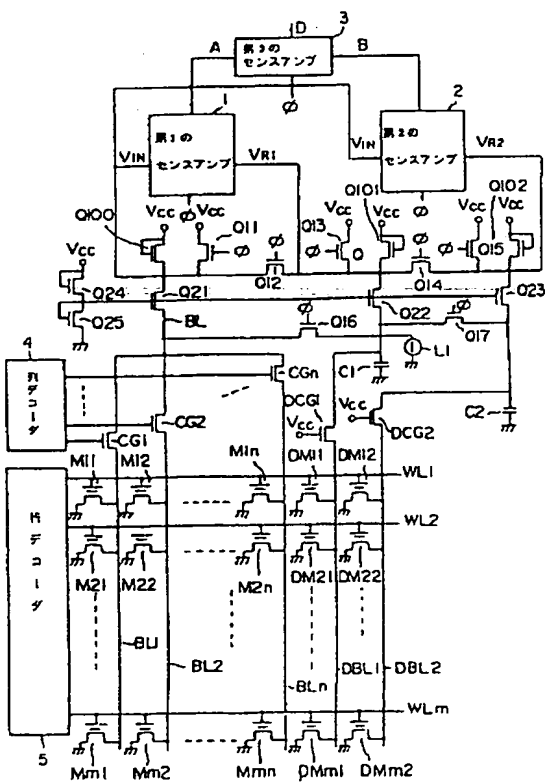
第 7 図



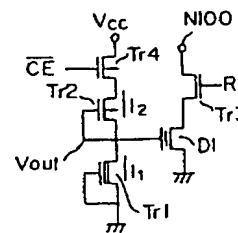
第 8 図



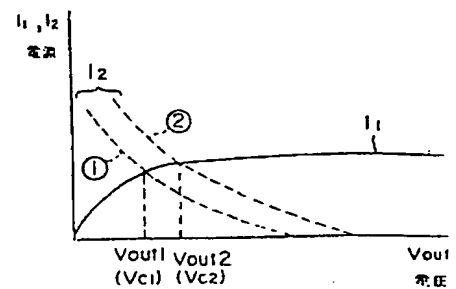
第 9 図



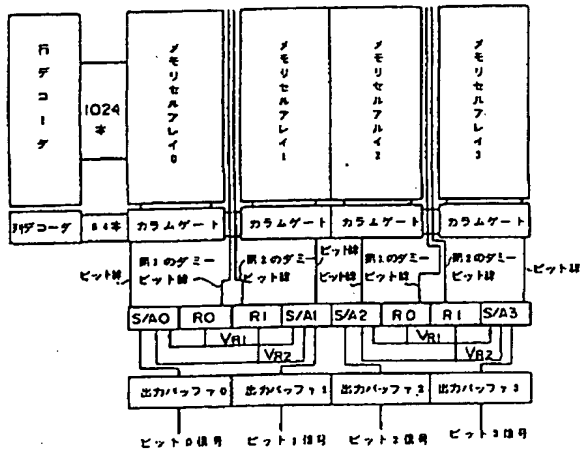
第 10 図



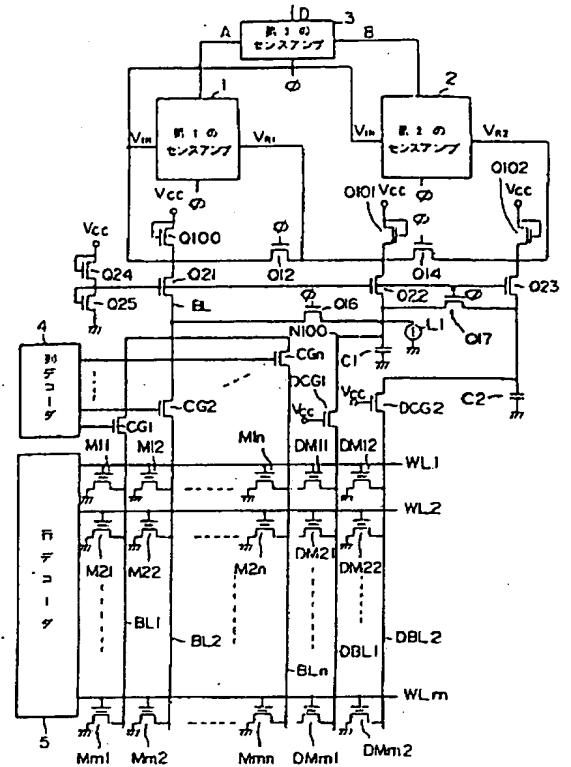
第 11 図



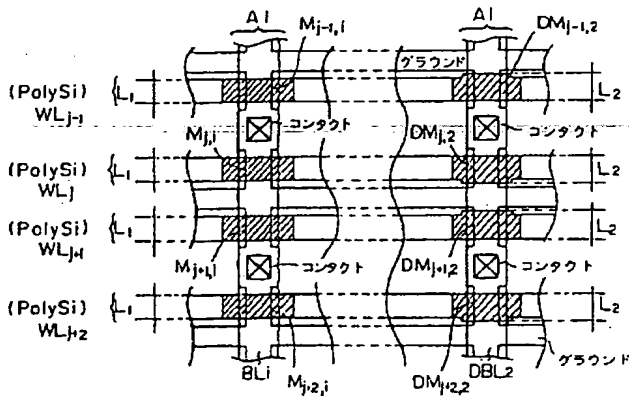
第 12 図



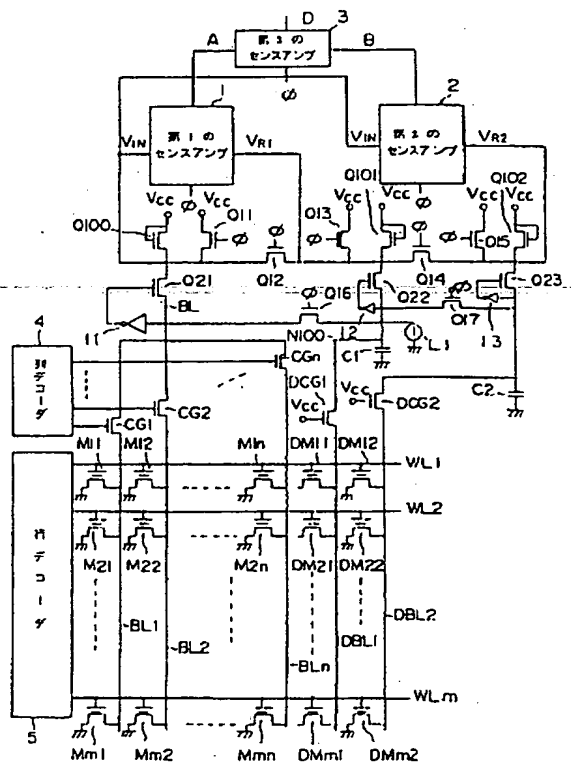
第13図



第14図



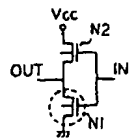
第15図



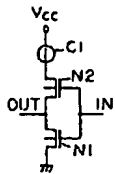
第16図

OUT IN

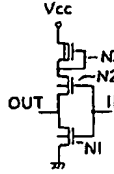
第17図



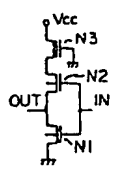
第18図



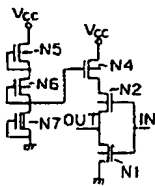
第19図



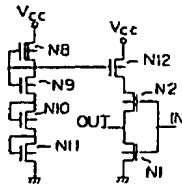
第20図



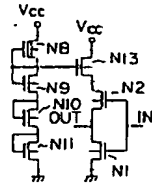
第21図



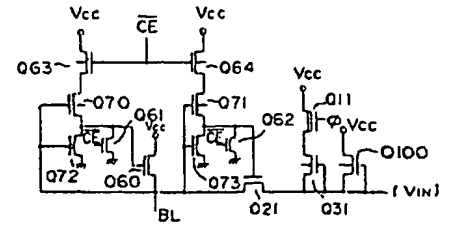
第22図



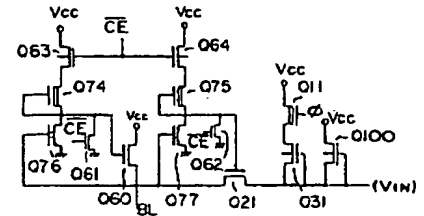
第23図



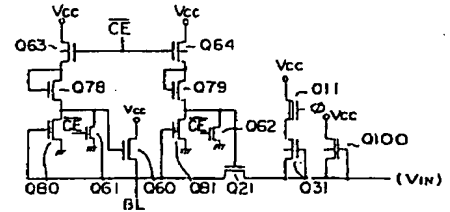
第24図



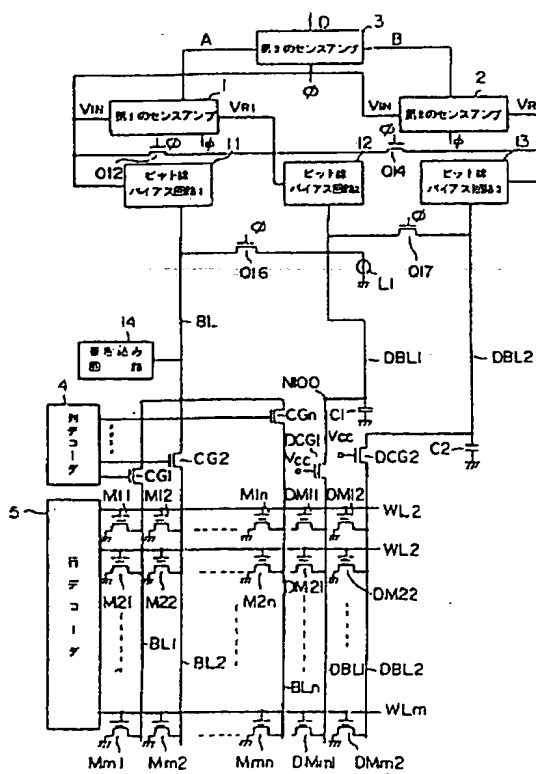
第25図



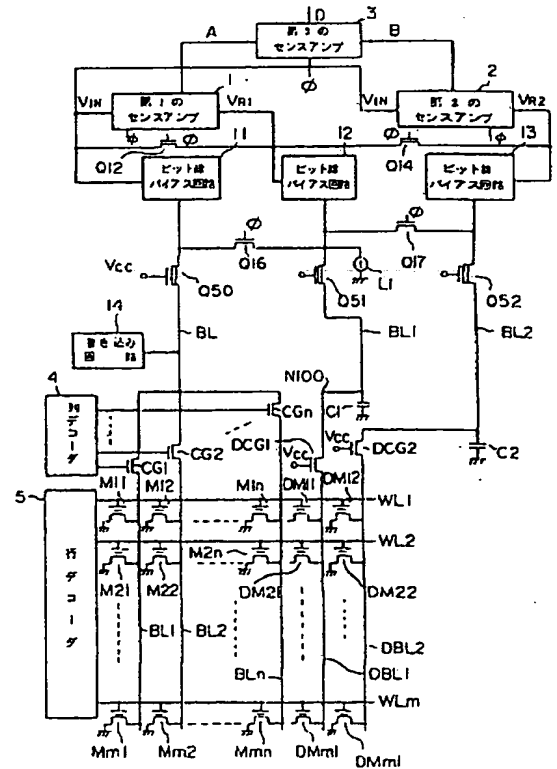
第27図



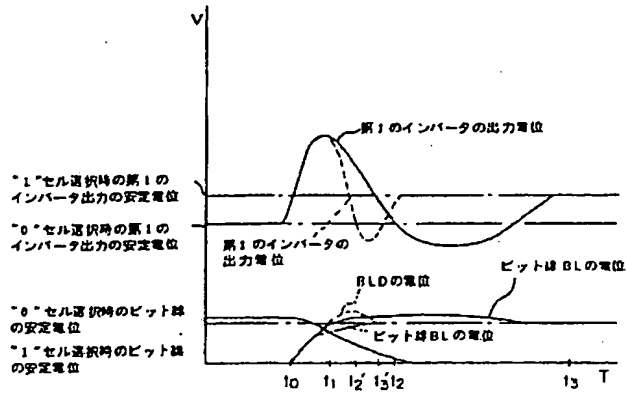
第28図



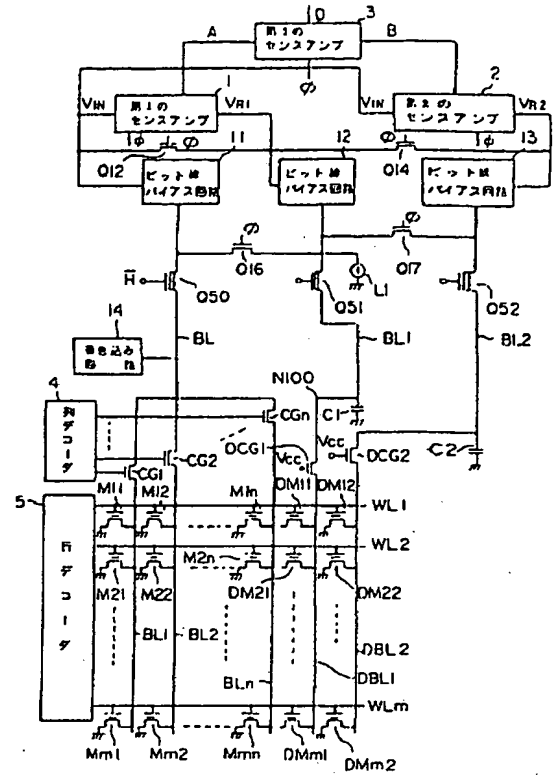
第26図



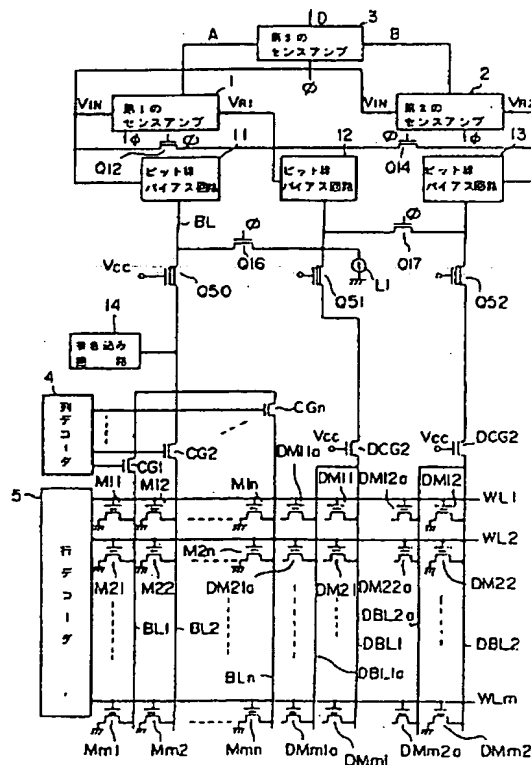
第29図



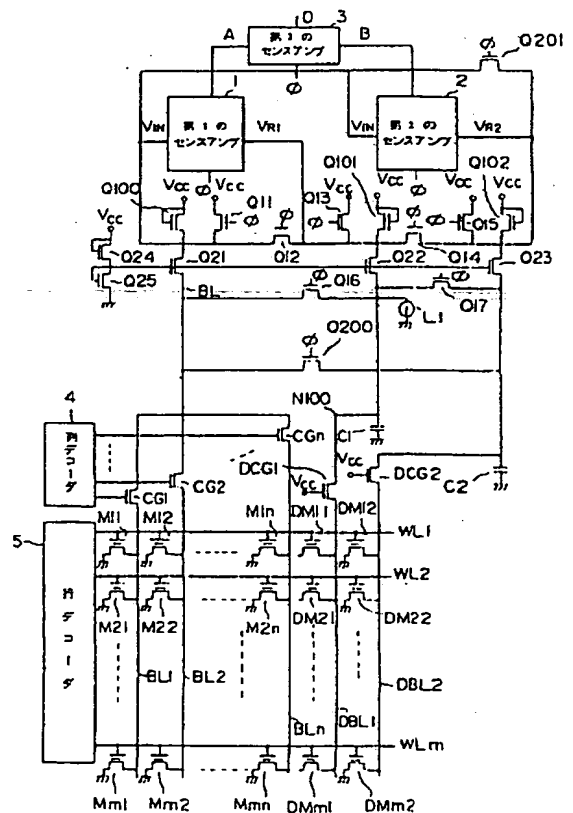
第 30 図



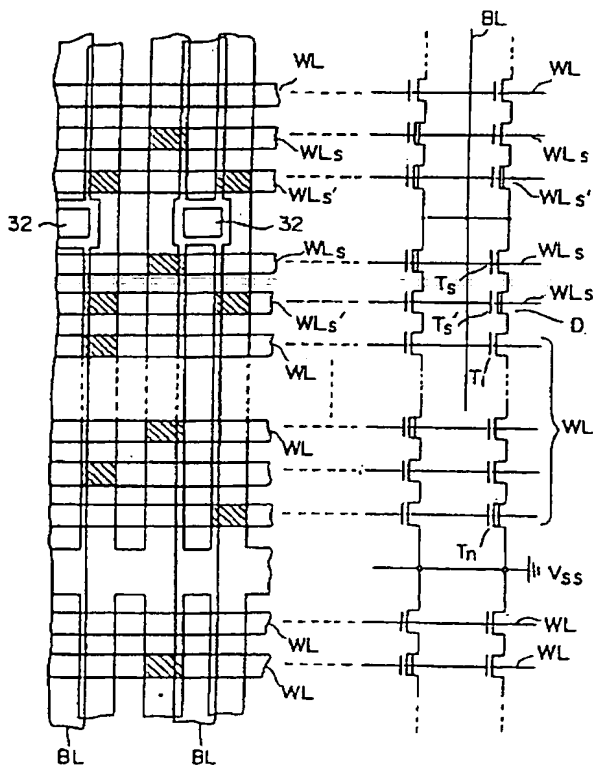
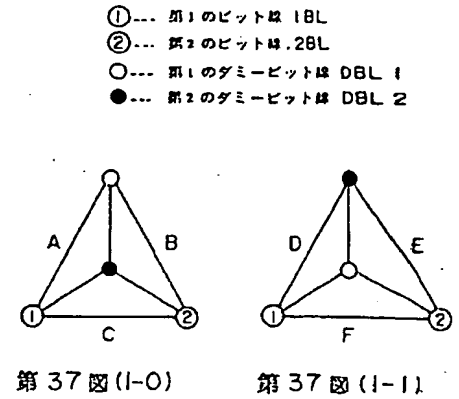
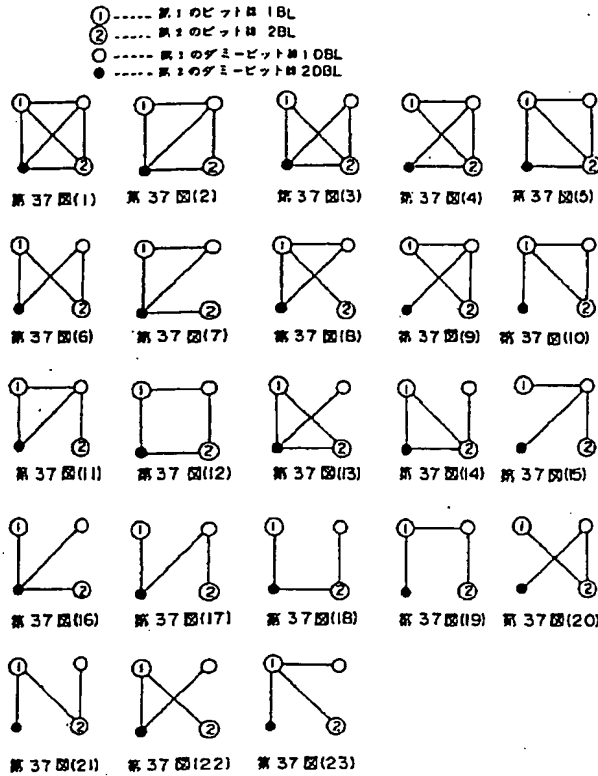
第 31 圖



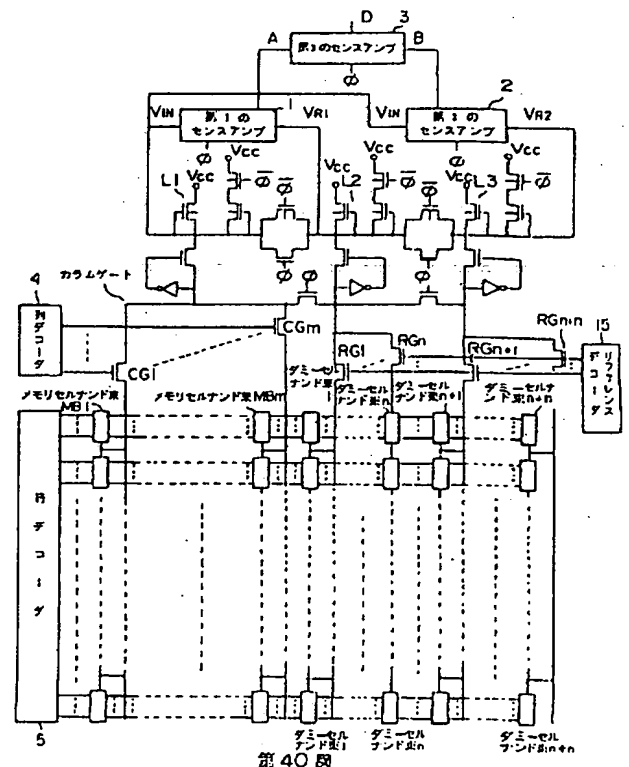
第 32 题

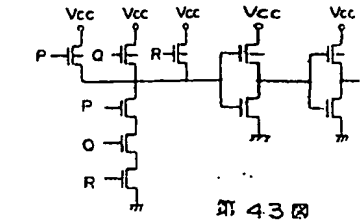
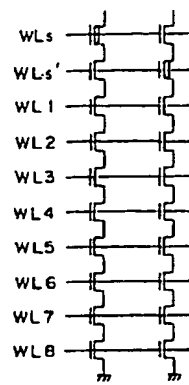
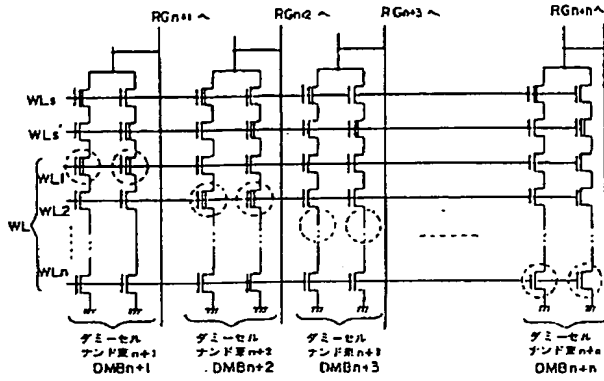
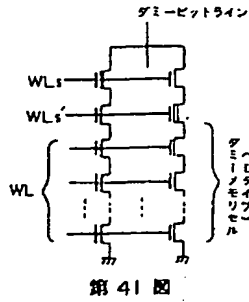


第 33 题

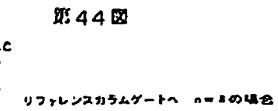
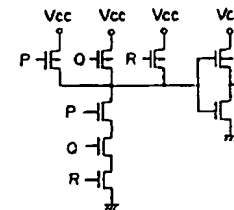


第39図



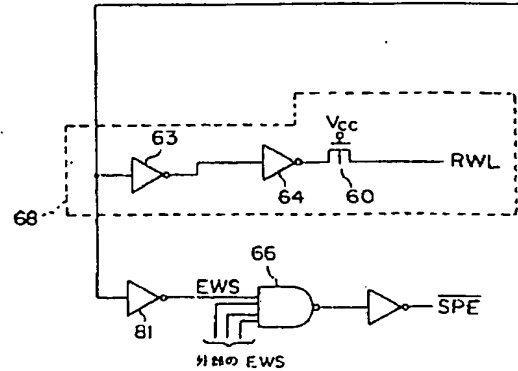
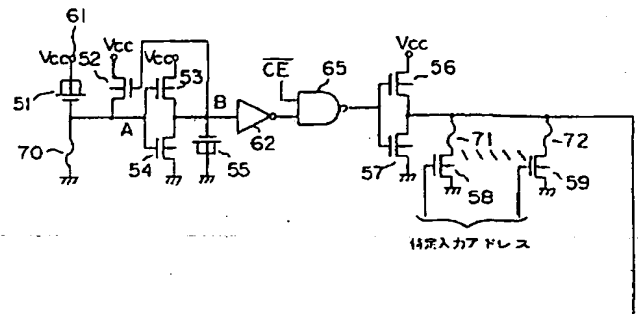
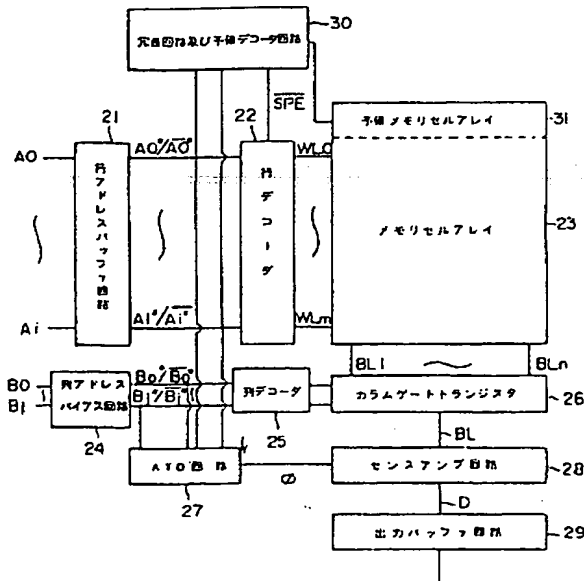


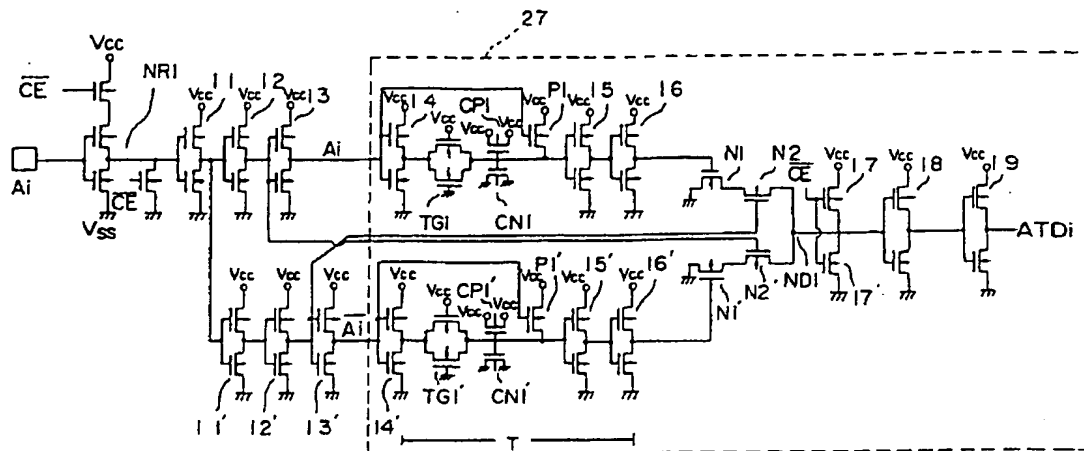
	P	Q	R
WL1	A0	A1	A2
WL2	A0	A1	A2
WL3	A0	A1	A2
WL4	A0	A1	A2
WL5	A0	A1	A2
WL6	A0	A1	A2
WL7	A0	A1	A2
WL8	A0	A1	A2



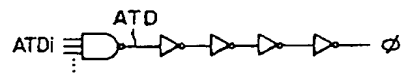
	P	Q	R
RG1	A0	A1	A2
RG2	A0	A1	A2
RG3	A0	A1	A2
RG4	A0	A1	A2
RG5	A0	A1	A2
RG6	A0	A1	A2
RG7	A0	A1	A2
RG8	A0	A1	A2

第46図

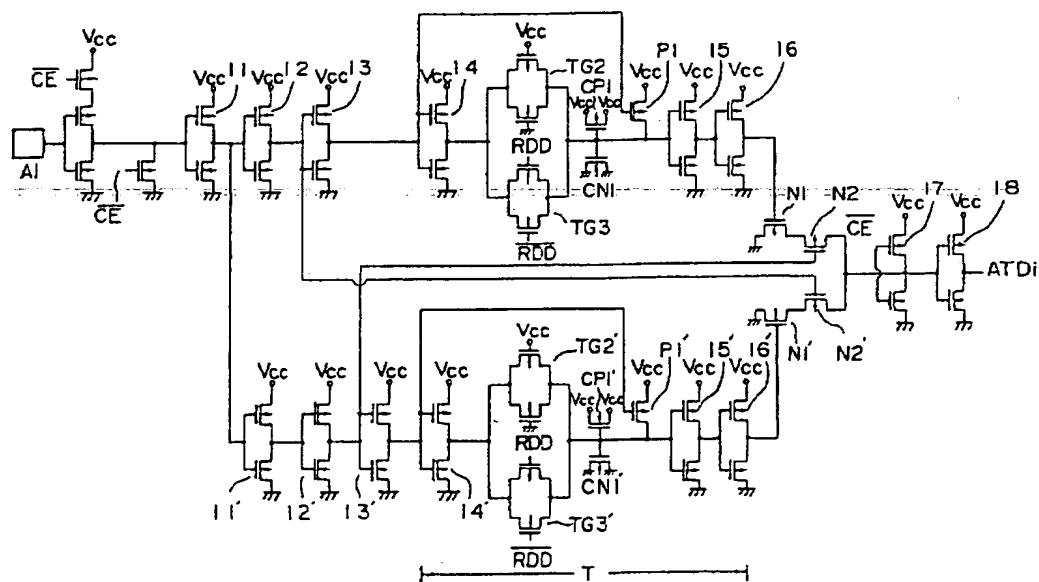




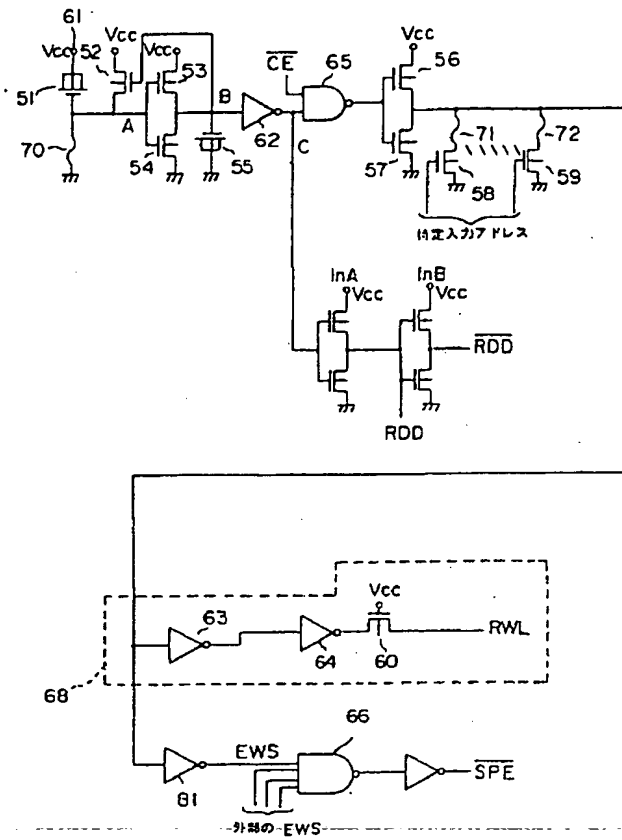
第 49 圖 (a)



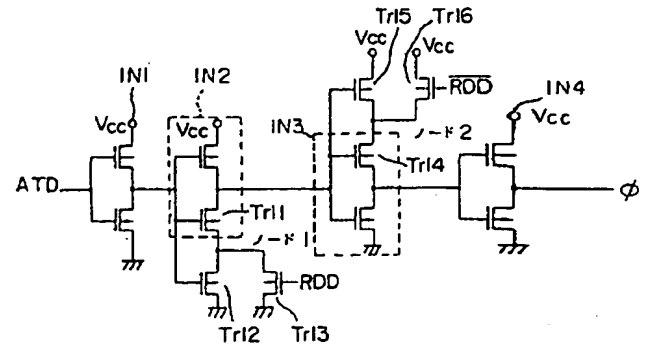
第 49 圖 (b)



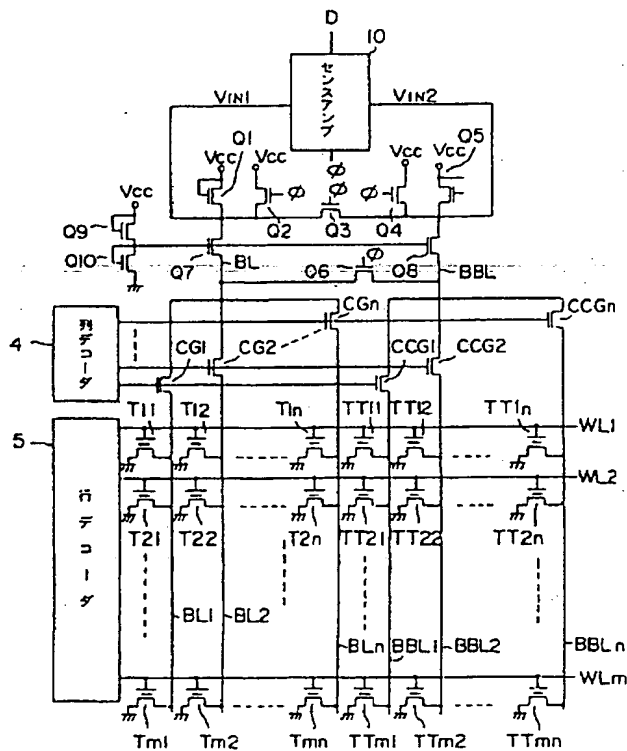
第 51 図



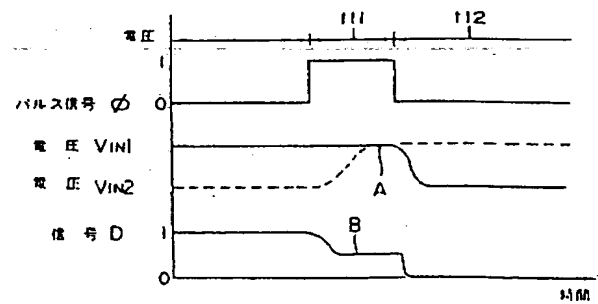
第52図



第53図



第54図



第55図

第1頁の続き

優先権主張 ②平2(1990)1月19日③日本(JP)④特願 平2-10406

⑦発明者 金 澤 一 久 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内
⑧発明者 佐 藤 勲 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエ
レクトロニクス株式会社内

手 続 補 正 書 (方式)

平成 2 年 9 月 20 日

特許庁長官 植 松 敏 殿

1 事件の表示

平成 2 年特許願第 145640 号

2 発明の名称

半導体メモリ装置

3 補正をする者

事件との関係 特許出願人

(307) 株式会社 東 芝 (ほか 1 名)

4 代 理 人 (郵便番号 100)

東京都千代田区丸の内三丁目2番3号
[電話東京 (211)2321 大代表]

8426 井 理 士 佐 藤 一



5 補正命令の日付

発送日 平成 2 年 8 月 28 日

6 補正の対象

明細書及び図面

7 補正の内容

明細書及び図面の抄写(内容に変更なし)

